

Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Сибирский государственный университет геосистем и технологий»
(СГУГиТ)

В. С. Айрапетян, А. В. Макеев

ДИСКРЕТНЫЕ ЭЛЕКТРОННЫЕ УСТРОЙСТВА ВЗРЫВАТЕЛЕЙ

Утверждено редакционно-издательским советом университета
в качестве учебно-методического пособия
для обучающихся по специальности
17.05.01 Боеприпасы и взрыватели (уровень специалитета)

Новосибирск
СГУГиТ
2023

УДК 623.454.25:621.38

А36

Рецензенты: кандидат технических наук, зам. директора АО НИИЭП

М. М. Кузнецов

кандидат технических наук, доцент, СГУГиТ *И. Н. Карманов*

Айрапетян, В. С.

А36 Дискретные электронные устройства взрывателей : учебно-методическое пособие / В. С. Айрапетян, А. В. Макеев. – Новосибирск : СГУГиТ, 2023. – 51 с. – Текст : непосредственный.

ISBN 978-5-907711-32-7

Учебно-методическое пособие подготовлено профессором, доктором технических наук В. С. Айрапетяном и ассистентом А. В. Макеевым на кафедре специальных устройств, инноватики и метрологии СГУГиТ.

В пособии описана последовательность изложения лекционного материала для укороченных курсов, рассмотрены основные разделы работы, приведены методические материалы, поясняющие изучение отдельных этапов работы, а также даны рекомендации по подготовке к выполнению и подготовке к защите лабораторных работ.

Учебно-методическое пособие по дисциплине «Дискретные электронные устройства взрывателей» предназначено для обучающихся по специальности 17.05.01 Боеприпасы и взрыватели (уровень специалитета).

Рекомендовано к изданию кафедрой специальных устройств, инноватики и метрологии СГУГиТ, Ученым советом Института оптики и технологий информационной безопасности СГУГиТ.

Печатается по решению редакционно-издательского совета СГУГиТ

УДК 623.454.25:621.38

ISBN 978-5-907711-32-7

© СГУГиТ, 2023

ОГЛАВЛЕНИЕ

Введение	4
1. Основные сведения о цифровых интегральных микросхемах. Особенности анализа и синтеза цифровых устройств	6
1.1. Алгебра логики. Взаимное соответствие булевых функций и логических схем.....	6
1.2. Аксиомы и законы алгебры логики	9
1.3. Минимизация функций логических элементов	15
1.4. Структура и принцип действия логических элементов	20
1.5. Технические характеристики логических элементов.....	23
2. Типовые комбинационные цифровые устройства	30
2.1. Шифраторы и дешифраторы	30
2.2. Мультиплексоры и демультиплексоры	35
2.3. Сумматоры.....	38
3. Типовые последовательные цифровые устройства.....	40
3.1. Цифровой компаратор.....	40
3.2. Арифметико-логическое устройство	41
3.3. Общее представление о триггерах	43
3.4. Триггер на двух транзисторных усилителях.....	44
3.5. Классификация триггеров.....	47
Заключение	49
Библиографический список.....	50

ВВЕДЕНИЕ

Современные цифровые устройства являются многофункциональной системой, состоящей из множества компонентов. Для обеспечения управления ресурсами цифровых устройств и их применения в различных областях народного хозяйства разрабатываются специальные электронные схемы на основе логических элементов (ЛЭ). Каждое цифровое устройство (ЦУ) рассматривается как функциональный узел, имеющий определенный набор характеристик.

Развитие техники позволяет разрабатывать новые и усовершенствовать существующие типы цифровых функциональных узлов для создания высокоэффективных и быстродействующих электронных устройств.

В учебно-методическом пособии «Дискретные электронные устройства взрывателей» систематизированы основные правила и определения цифровой техники, позволяющие изучить принципы действия электронных устройств, а также анализировать полученные результаты после применения ЦУ. Данное пособие является общеобразовательной дисциплиной технических вузов РФ и служит базой для изучения специальных дисциплин, связанных с разработкой и применением цифровых электротехнических средств и электрооборудования в различных областях народного хозяйства, в частности, в области средств управления и контроля действия взрывных устройств.

Учебные планы технических вузов немыслимы без дисциплин по цифровой технике. Трудно представить современные системы боеприпасов (БП) и средств поражения (СП) без многообразных средств связи, применяющихся практически во всех армиях мира, без электронных начинок БП и СП, решающих огромное количество задач – от управления БП и СП до повышения точности поражения цели.

Основные цели электротехники, для достижения которых решаются задачи, связанные с преобразованием электрической энергии в другие виды энергии, передачей информации и др., основаны на законах электромагнитного явления.

Учебно-методическое пособие «Дискретные электронные устройства взрывателей» составлено в соответствии с учебной программой для обучающихся по специальности 17.05.02 Боеприпасы и взрыватели. Особое внимание уделено строгому изложению принципов действия, свойств и характеристик цифровых интегральных микросхем; систематизированы основы цифровой схемотехники электронных средств и теории логических функций, аксиомы, законы, тождества и теоремы (булевой алгебры) алгебры логики, представление и преобразование логических функций, основные параметры и характеристики логических элементов, комбинационные логические устройства, основные параметры и виды триггеров и цифровых автоматов.

Для понимания процессов, происходящих в схемотехнических логических элементах, обучающемуся необходимо знание определенных разделов математики и физики. Из курса математики это комплексные числа, интегральное исчисление, дифференциальные уравнения вектора; физики – разделы механики и электричества.

1. ОСНОВНЫЕ СВЕДЕНИЯ О ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ. ОСОБЕННОСТИ АНАЛИЗА И СИНТЕЗА ЦИФРОВЫХ УСТРОЙСТВ

1.1. Алгебра логики. Взаимное соответствие булевых функций и логических схем

Принцип действия цифровых устройств основан на двоичной системе счисления, когда аргументы и функции, обозначаемые только единицами и нулями, являются значениями входного и выходного напряжения (тока) и называются логическими переменными и логическими функциями.

Электронные устройства, на основе которых лежат логические элементы, выполняют функции алгебры логики. На рис. 1. приведено условно-графическое обозначение ЛЭ, имеющего m логических входов и n логических выходов.

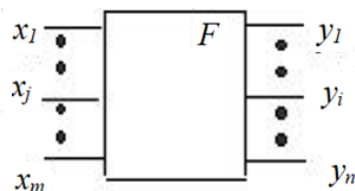


Рис. 1. ЛЭ с логическими входами и выходами

Представленные на рис. 1 символы $x_1, x_2, \dots, x_j, \dots, x_m$ являются управляющими входными сигналами (аргументами), а $y_1, y_2, \dots, y_j, \dots, y_m$ – соответствующими им значениями выходных сигналов (функциями). Функциональная связь между логическими выходными и входными сигналами описывается системой нелинейных уравнений, общий вид которой приведена в формуле

$$Y_i = F(X_i), \quad (1)$$

где Y_i – логическая функция.

В алгебре логики аргументы и функции принимают только два значения: единица и ноль. Это означает, что для m независимых входных сигналов максимальное число уравнений определится из выражения

$$A = 2^m. \quad (2)$$

Максимальное число логических функций определится из соотношения

$$N^m = 2^A. \quad (3)$$

Для практической реализации системы уравнений (1) необходимо систематизировать полученные результаты вычислений в виде таблицы **истинности**, где приводятся все возможные сочетания входных сигналов и соответствующие им значения выходных сигналов.

В булевой алгебре описание действий над произвольной сложной функцией основано на логических операциях **инверсии НЕ** (отрицание), **конъюнкции И** (логическое умножение), **дизъюнкции ИЛИ** (логическое сложение).

Электронное устройство, базисом которого является логический элемент **НЕ**, выполняет операцию инвертирования, т. е. переводит прямой код в обратный и наоборот. Аналитически логическая операция НЕ записывается в виде $y = \bar{x}$ («игрек равен не икс»).

Таблица истинности представлена в табл. 1, на рис. 2 представлены функциональная схема (рис. 2, а) и размеры (рис. 2, б) двухвходовых логических элементов **НЕ**.

Электронное устройство, выполняющее функцию логического умножения (**конъюнкция**), называют логическим элементом **И**. Действие **конъюнктора** в аналитической форме записывается следующим образом:

$$Y(x) = x_1 \cdot x_2 \cdot \dots \cdot x_m. \quad (4)$$

Как в обычной алгебре, результат произведения (Y) будет равен нулю, если хотя бы один из аргументов x_i принимает нулевое значение. В соответствии с выражением (4) можно составить таблицу истинности (табл. 2). Функциональная схема для двухвходового конъюнктора представлена на рис. 3.

Таблица 1

x	$y = \bar{x}$
0	1
1	0

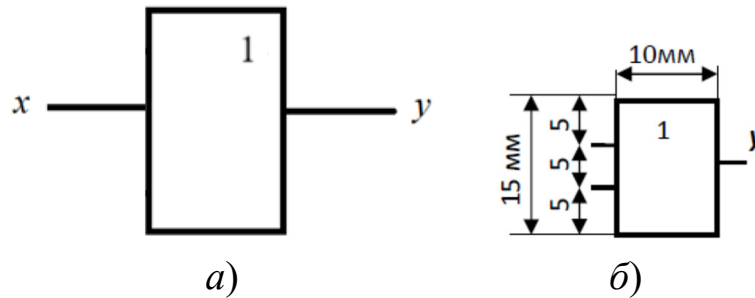


Рис. 2. Логический элемент НЕ:

а) функциональная схема; б) размеры двухвходового логического элемента

Таблица 2

x_1	x_2	$y = x_1 \cdot x_2$
0	0	0
0	1	0
1	0	0
1	1	1

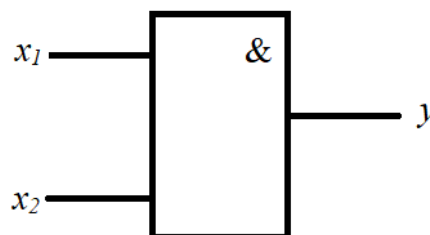


Рис. 3. Логический элемент И: функциональная схема
двухвходового конъюнктора

Электронное устройство, выполняющее логическое сложение над входными сигналами, называется ЛЭ **ИЛИ**. Операция, реализующая ЛЭ **ИЛИ**, считается логическим сложением (**дизъюнкцией**). Результат логического сложения появляется на выходе ЛЭ **ИЛИ** в виде амплитудного зна-

чения напряжения. Действие **дизъюнктора** в аналитической форме можно выразить формулой

$$Y(x) = x_1 + x_2 + \dots + x_n. \quad (5)$$

В соответствии с формулой (5) составляется таблица истинности для ЛЭ **ИЛИ** (дизъюнктора).

В табл. 3 представлена таблица истинности. Функциональная схема двухвходового ЛЭ **ИЛИ** показана на рис. 4.

Таблица 3

x_1	x_2	$y = x_1 + x_2$
0	0	0
0	1	1
1	0	1
1	1	1

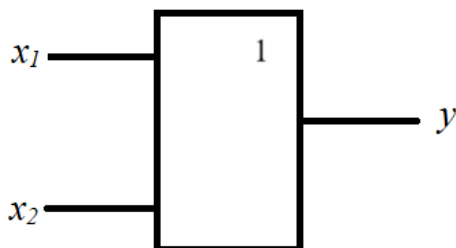


Рис. 4. Логический элемент **ИЛИ**:
функциональная схема двухвходового ЛЭ **ИЛИ**

1.2. Аксиомы и законы алгебры логики

В булевой алгебре аргумент функции может находиться в двух состояниях со значениями «0» или «1». Это означает, что каждый аргумент принимает прямое или обратное к ней значения: если $x = 0$, то $\bar{x} = 1$; если $x = 1$, то $\bar{x} = 0$.

Основные законы булевой алгебры по своей сути совпадают с законами обычной алгебры, а именно:

– закон коммутативности (переместительный закон):

$$x + y = y + x; x \cdot y = y \cdot x; \quad (6)$$

– закон ассоциативности (сочетательный закон):

$$x + y + z = (x + y) + z = x + (y + z); \quad (7)$$

– закон дистрибутивности логического умножения по отношению к сложению (распределительный закон):

$$x(y + z) = xy + xz. \quad (8)$$

В алгебре логики функции вычитания и деления выполняются с помощью специфических операций «склеивание», «поглощение»:

– операция склеивания, где действие логического сложения заменяется логическим умножением, и наоборот:

$$x \cdot y + x \cdot \bar{y} = x; (x + y) \cdot (x + \bar{y}) = x; \quad (9)$$

– операция поглощения:

$$x + xy = x; x(x + y) = x. \quad (10)$$

В алгебре логики также имеется дополнительная операция неравнозначности (**ИСКЛЮЧАЮЩЕЕ ИЛИ**, обозначается знаками « \oplus », « ∇ » или « \forall »):

$$\bar{x} \cdot y + x \cdot \bar{y} = x \oplus y. \quad (11)$$

Для операции неравнозначности справедливы следующие аксиомы:

$$x \oplus 0 = x; x \oplus x = 0; x \oplus \bar{x} = 1; \bar{x} \oplus x = 1. \quad (12)$$

Постулаты и основные теоремы алгебры логики приведены в табл. 4.

Логические функции одной или двух аргументов вместе со схематическими обозначениями базисных ЛЭ приведены в табл. 5.

Таблица 4

№ п/п	Название	Аналитическое выражение	Примечание
1	Определение двоичной переменной	$X = 0$, если $X \neq 1$; $X = 1$, если $X \neq 0$	
2	Второму соотношению нет аналога в обычной арифметике	$0 \cdot 0 = 0$; $1 + 1 = 1$	
3		$1 \cdot 1 = 1$; $0 + 0 = 0$	
4		$1 \cdot 0 = 0$; $0 \cdot 1 = 0$; $1 + 0 = 0 + 1 = 1$	
5	Определение операции «инверсия», «отрицание» (НЕ)	$\bar{0} = 1$; $\bar{1} = 0$	
6		$x + 0 = x$; $x \cdot 1 = x$	
7		$1 + x = 1$; $0 \cdot x = 0$	$1 + x + y + \dots = 1$
8		$x + x = x$; $x \cdot x = x$	$n \cdot x = x$; $x^n = x$
9	Двойная инверсия оставляет логическое выражение неизменным	$(\bar{X}) = \bar{X}$; $(\bar{\bar{X}}) = \bar{\bar{X}} = X$	
10		$X + \bar{X} = 1$; $\bar{X} \cdot X = 0$	
11	Распределительный закон. Закон поглощения	$x \cdot y = x \cdot z = x \cdot (y + z)$; $(x + y) \cdot (x + z) = x + yz$	
12	Теорема де Моргана	$x + \bar{y} + z + \dots = \bar{x} \cdot \bar{y} \cdot \bar{z} \cdot \dots$; $X \cdot \bar{Y} \cdot Z \cdot \dots = \bar{X} + \bar{Y} + \bar{Z} \dots$	
13	Теорема разложения	$f(x_1, x_2, \dots, x_n) =$ $= x_1 f(1, x_2, \dots, x_n) +$ $+ \bar{x}_1 \cdot f(0, x_2, \dots, x_n)$; $f(x_1, x_2, \dots, x_n) =$ $= [x_1 + f(0, x_2, \dots, x_n)] \cdot$ $\cdot [\bar{x}_1 + f(1, x_2, \dots, x_n)]$	

Таблица 5

Значения аргументов $X\ 0011, Y\ 0101$	Аналитическое выражение	Наименование	Схематическое изображение аппаратурного аналога	
			Отечественное	Зарубежное
0000	$f_0 = 0$	Константа 0		
0001	$f_1 = x \cdot y$	Логическое умножение, конъюнкция (И)		
0010	$f_2 = x \cdot \bar{y}$	Запрет по Y		
0011	$f_3 = x$	Тождественность		
0100	$f_4 = \bar{x} \cdot y$	Запрет по X		
0101	$f_5 = y$	Тождественность		
0110	$f_6 = x \cdot \bar{y} + \bar{x} \cdot y$	ИСКЛЮЧАЮЩЕЕ ИЛИ (неравнозначность)		
0111	$f_7 = x + y$	Логическое сложение, дизъюнкция (ИЛИ)		
1000	$f_8 = \overline{x + y}$	Стрелка Пирса (ИЛИ – НЕ)		
1001	$f_9 = x \cdot y + \bar{x} \cdot \bar{y}$	Эквивалентность, равнозначность		
1010	$f_{10} = \bar{y}$	Инверсия Y (НЕ)		
1011	$f_{11} = x + \bar{y}$	Импликация от Y к X		
1100	$f_{12} = \bar{x}$	Инверсия X (НЕ)		
1101	$f_{13} = \bar{x} + y$	Импликация от X к Y		
1110	$f_{14} = \overline{x \cdot y}$	Штрих Шеффера (И – НЕ)		
1111	$f_{15} = 1$	Константа 1		

Из табл. 2 видно, что для электронного устройства, выполняющего произвольно сложную функцию двоичного аргумента, базисом являются ЛЭ конъюнкция **И**, дизъюнкция **ИЛИ** и инверсия **НЕ**.

Реализация базисных логических операций ЛЭ приведена в табл. 6.

Таблица 6

Исходный набор ЛЭ	Реализация базисных логических операций		
	И	ИЛИ	НЕ
И, НЕ	–	$X + Y = \overline{\overline{X} \cdot \overline{Y}}$	–
ИЛИ, НЕ	$X \cdot Y = \overline{\overline{X} + \overline{Y}}$	–	–
И-НЕ	$X \cdot Y = \overline{(\overline{X \cdot Y}) \cdot (\overline{X \cdot Y})}$	$X + Y = \overline{(\overline{X \cdot X}) \cdot (\overline{Y \cdot Y})}$	$\overline{X \cdot X}$
ИЛИ-НЕ	$X \cdot Y = \overline{(\overline{X + X}) \cdot (\overline{Y + Y})}$	$X + Y = \overline{(\overline{X + Y}) \cdot (\overline{X + Y})}$	$\overline{X + X}$

Аналитические выражения приведенные в табл. 3, показывают, что базисные элементы **И**, **ИЛИ**, **И-НЕ**, **ИЛИ-НЕ** выполняют логические операции с n входными сигналами согласно формулам (11):

$$\begin{aligned}
 f_1(x_n) &= x_1 \cdot x_2 \cdot \dots \cdot x_n; \quad \underline{f_7(x_n) = x_1 + x_2 + \dots + x_n}; \\
 f_8(x_n) &= \underline{x_1 + x_2 + \dots + x_n}; \\
 f_{14}(x_n) &= x_1 \cdot x_2 \cdot \dots \cdot x_n.
 \end{aligned}
 \tag{13}$$

Соответствующие электронные устройства будут иметь n входов. Из законов и основных теорем булевой алгебры (см. табл. 4, 5), следует, что логические функции с n переменными можно представить в двух стандартных формах:

– совершенной дизъюнктивной нормальной форме (СДНФ), представляющей сумму произведений коэффициента разложения k_i и всех минтермов m_i без повтора слагаемых. Аналитическая форма СДНФ представлена в формуле

$$f = \sum_{i=1}^{2^n - 1} f_i m_i;
 \tag{14}$$

– совершенной конъюнктивной нормальной форме (СКНФ), представляющей произведение суммы коэффициента разложения k_i и макстермов M_i , без повтора сомножителей. Аналитическая форма записи СКНФ представлена в формуле

$$f = \prod_{i=1}^{2^n-1} (f_i + M_i). \quad (15)$$

В формулах (14) и (15) f_i – коэффициент разложения, принимает значение 0 или 1.

В табл. 7 представлены все возможные комбинации логических функций трех аргументных минтермов и макстермов.

Таблица 7

Значения переменных XYZ	Минтермы m_i	Макстермы M_i	Значения функции f_i
000	$m_0 = \bar{X} \cdot \bar{Y} \cdot \bar{Z}$	$M_0 = \bar{X} + \bar{Y} + \bar{Z}$	0
001	$m_1 = \bar{X} \cdot \bar{Y} \cdot Z$	$M_1 = \bar{X} + \bar{Y} + Z$	1
010	$m_2 = \bar{X} \cdot Y \cdot \bar{Z}$	$M_2 = \bar{X} + Y + \bar{Z}$	0
011	$m_3 = \bar{X} \cdot Y \cdot Z$	$M_3 = \bar{X} + Y + Z$	0
100	$m_4 = X \cdot \bar{Y} \cdot \bar{Z}$	$M_4 = X + \bar{Y} + \bar{Z}$	1
101	$m_5 = X \cdot \bar{Y} \cdot Z$	$M_5 = X + \bar{Y} + Z$	0
110	$m_6 = X \cdot Y \cdot \bar{Z}$	$M_6 = X + Y + \bar{Z}$	1
111	$m_7 = X \cdot Y \cdot Z$	$M_7 = X + Y + Z$	0

Максимальное число минтермов (макстермов) n переменных, согласно формуле (2), равно 2^n , а их свойства доказываются согласно формулам, приведенным ниже:

$$\bar{m}_i = M_{2^n-i}; \quad \bar{M}_i = m_{2^n-i}; \quad (16)$$

$$\sum_{i=0}^{2^n-1} m_i = 1; \quad (17)$$

$$\prod_{i=0}^{i=2^n-1} M_i = 0; \quad (18)$$

$$m_i m_j = 0 \text{ при } i \neq j;$$

$$M_i + M_j = 1 \text{ при } i \neq j.$$

Для получения СДНФ из таблицы истинности (см. табл.4) нужно складывать минтермы входных сигналов, для которых коэффициент разложения $f_i = 1$, а для получения СКНФ нужно перемножить те макстермы из табл. 4, для которых коэффициент разложения $f_i = 0$.

1.3. Минимизация функций логических элементов

Для аппаратурной реализации стандартных СДНФ и СКНФ логических функций необходимо их преобразовать минимальным числом элементов. Такое преобразование называется минимизацией функции ЛЭ. Для электронных устройств, основанных на ЛЭ, содержащих не более четырех входных переменных, законы булевой алгебры позволяют производить минимизацию логических функций методом упрощения. Метод упрощения основан на правилах «склеивания» минтермов СДНФ логической функции, представленных в виде карты Карно.

Основные правила «склеивания» минтермов СДНФ логической функции [1]:

- допускают объединение 2^n минтермов, расположенных в соседних строках (столбцах) карты Карно [1, 2];
- соседними строками (столбцами) считаются такие, при переходах между которыми изменяет свое значение только одна переменная [1, 2];
- полученное в результате объединения минтермов выражение содержит на n букв меньше, чем любой из исходных минтермов [1, 2];
- в конечном выражении пропадают те переменные, которые при переходах между объединяемыми минтермами изменяют свое значение [1, 2];
- один и тот же минтерм может быть использован для «склеивания» неограниченное число раз [1, 2].

На рис. 5 представлено графическое изображение всех минтермов строго выбранного числа переменных, размещенных определенным образом в клетках карты Карно. Минтермы соседних клеток отличаются значением только одной переменной. Прямое значение переменной обозначается символом 1, инверсное – символом 0. Порядок чередования значений переменных в строках и столбцах: 00, 01, 11, 10 [3].

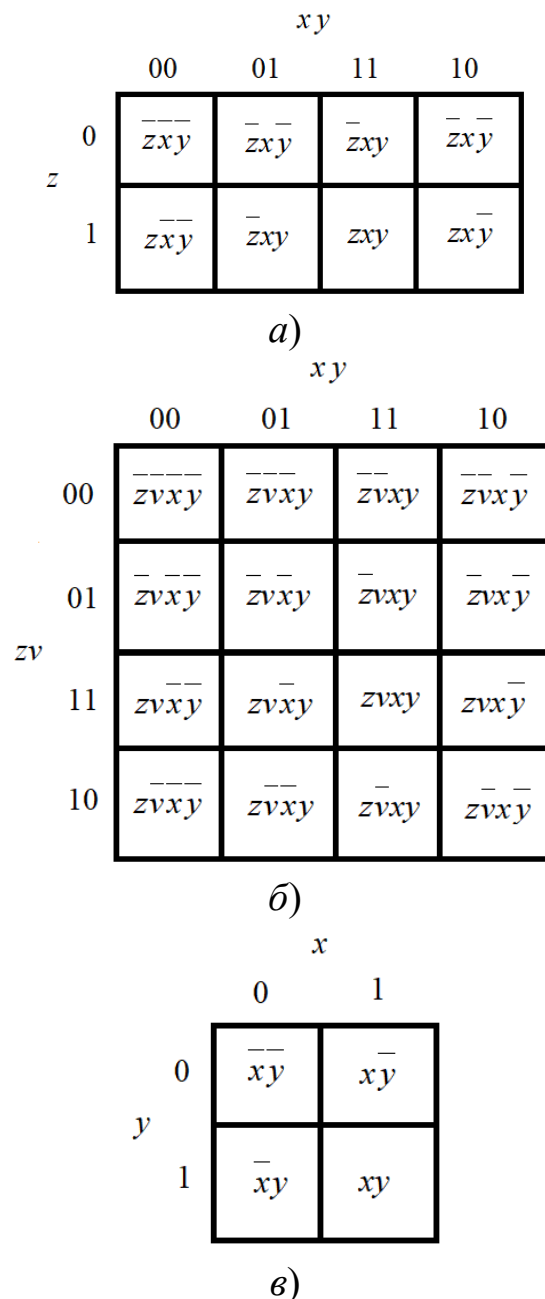


Рис. 5. Карты Карно для:
 а) трех; б) четырех; в) двух переменных

Минтермы минимизируемой функции отмечают единицами в соответствующих клетках карты. Минтермы, не входящие в функцию, отмечают в клетках нулями или пустыми клетками. Применение дистрибутивного закона (8), постулаты и основные теоремы алгебры логики позволяют заменить группу из двух минтермов, находящихся в соседних клетках карты Карно, одним логическим произведением, содержащим на одну переменную меньше. Если соседними являются две пары минтермов, то такая группа из четырех минтермов может быть заменена произведением, содержащим уже на две переменные меньше и т. д. Таким образом, наличие 2^n соседних минтермов позволяет заменить их произведениями, содержащими на n ($n = 1, 2, 3$) переменных меньше. В этом и состоит суть метода минимизации с применением карт Карно [4].

В качестве примера рассмотрим процесс минимизации логической функции четырех переменных x, y, z, v , представленных в виде

$$F = yvz + \bar{x}yv + \bar{y}\bar{v}z + \bar{x}y\bar{z}. \quad (19)$$

Для преобразования функции логической суммы F минтермов каждое слагаемое умножим на единичное значение, образованное логической суммой прямого и инверсного значения той переменной, которой недостает для полного набора в каждом слагаемом.

$$\begin{aligned} \bar{F} &= yvz(\bar{x} + x) + \bar{x}yv(z + \bar{z}) + \bar{y}\bar{v}z(x + \bar{x}) + \bar{x}y\bar{z}(v + \bar{v}) = \\ &= \bar{x}yvz + xyvz + \bar{x}yvz + \bar{x}yv\bar{z} + x\bar{y}\bar{v}z + \bar{x}\bar{y}\bar{v}z + \bar{x}yvz + \bar{x}yv\bar{z}. \end{aligned} \quad (20)$$

Заменяя группы повторяющихся выражений одним соответствующим выражением, получим функцию в виде СДНФ:

$$F = xyvz + \bar{x}yvz + x\bar{y}\bar{v}z + \bar{x}yv\bar{z}. \quad (21)$$

Из полученного выражения видно, что преобразованная функция F представляется в виде суммы шести минтермов, в каждом слагаемом которых содержатся все переменные и нет одинаковых слагаемых. Минимизация этой функции осуществляется с помощью карты Карно для четырех переменных размещением шести минтермов в шестнадцати клетках карты

Карно [4]. Места размещения минтермов в клетках карты Карно обозначены единицами, как показано на рис. 6.

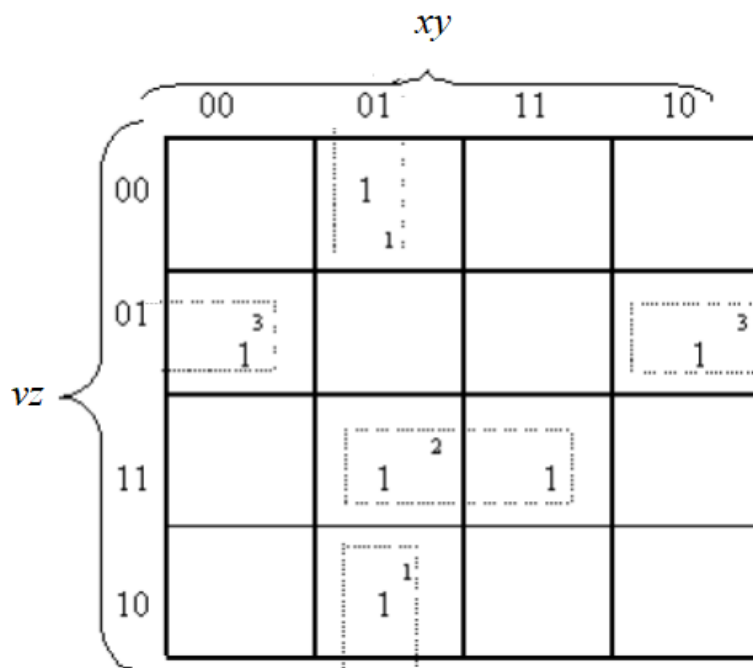


Рис. 6. Карта Карно для минимизации функции четырехвходного ЛЭ

На карте Карно выделенные три группы отмечены пунктирными контурами и цифрами мелкого шрифта.

Первая группа: $\bar{x}yv\bar{z} + \bar{x}yvz = \bar{x}yz$.

Вторая группа: $xvz + \bar{x}vz = yvz$.

Третья группа: $\bar{x}y\bar{v}z + x\bar{y}\bar{v}z = \bar{y}\bar{v}z$.

Таким образом, минимизированная функция F , выраженная в СДНФ, предстает как

$$F = \bar{x}y\bar{z} + yvz + \bar{y}\bar{v}z. \quad (22)$$

Из полученного выражения (22) следует, что для аппаратной реализации функции F необходимо использовать четыре инвертора **НЕ**, два логических элемента **ИЛИ**, три логических элемента **И** с тремя входами, однако это не оптимальная минимизация логических функций. Эффективная аппаратная реализация логической функции достигается применением теоремы

де Моргана (Шеннона), позволяющей преобразование логической функции в виде произведения путем дважды инвертирования минимизированной функции:

$$\begin{aligned} \overline{\overline{F}} &= \overline{\overline{\overline{xyz + yvz + yvz}}}; \\ F &= \overline{\overline{\overline{xyz \cdot yvz \cdot yvz}}}. \end{aligned} \quad (23)$$

Отсутствие операции логического сложения в выражении (21) означает, что аппаратная реализация электронных устройств может быть осуществлена без логических элементов **ИЛИ**.

Критерии оптимальности определяются конкретными условиями проектирования и использования электронных устройств. На рис. 7 представлена упрощенная блок-схема алгоритма минимизации и последовательность аппаратной реализации сложной логической функции [5].



Рис. 7. Блок-схема алгоритма минимизации логической функции

1.4. Структура и принцип действия логических элементов

Логические элементы, используемые в электронных устройствах по виду реализуемых функций, подразделяют на одноступенчатые и двухступенчатые. На рис. 8 приведены функциональные схемы одноступенчатых ЛЭ НЕ, И, ИЛИ.

На рис. 9 приведены функциональные схемы некоторых двухступенчатых ЛЭ.

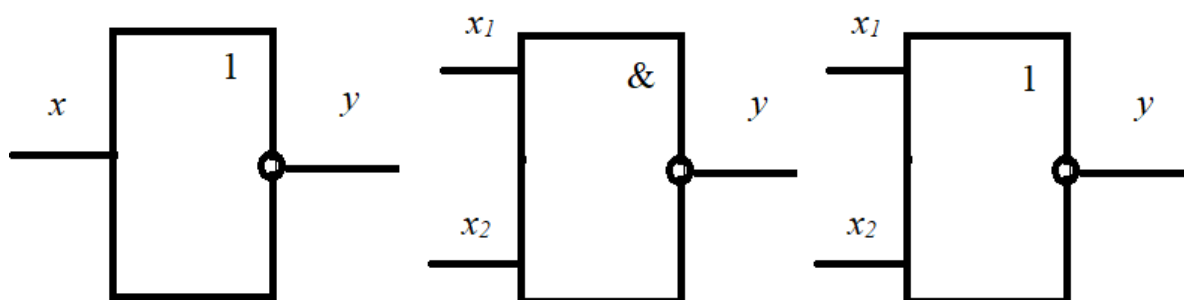


Рис. 8. Функциональные схемы одноступенчатых ЛЭ

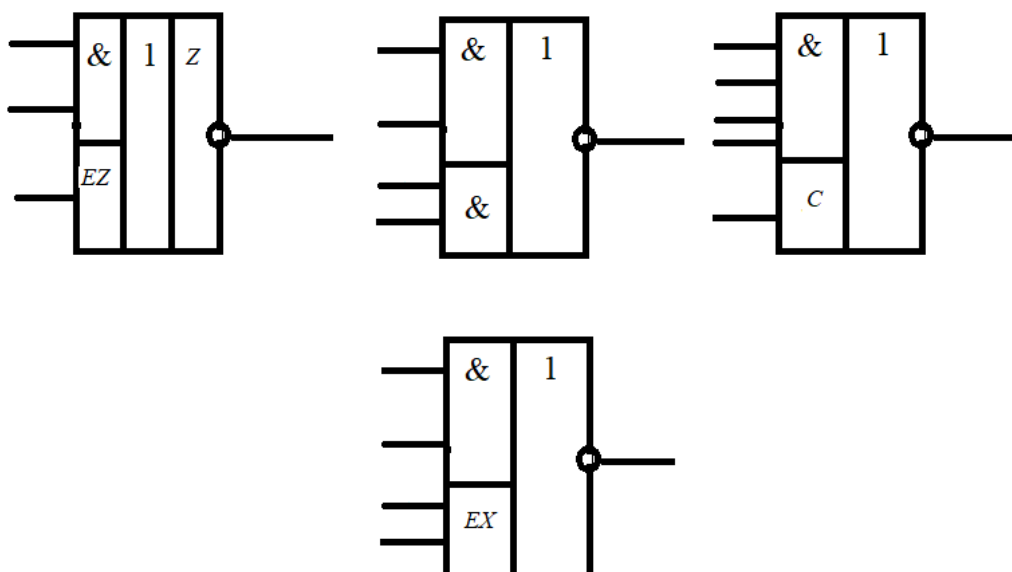


Рис. 9. Функциональные схемы некоторых двухступенчатых ЛЭ

Из функциональных схем двухступенчатых ЛЭ, приведенных на рис. 9, можно определить количество и тип логических элементов. Для примера, в состав двухступенчатого элемента **2-2И-ИЛИ-НЕ**, функциональная

схема которого приведена на рис. 10, входят два двухвходовых элемента **И**. Выходы логических элементов **И** подключены к входам **ИЛИ**, выходы которых подключены к входу элемента **НЕ**. Выход элемента **НЕ** является общим выходом электронного устройства.

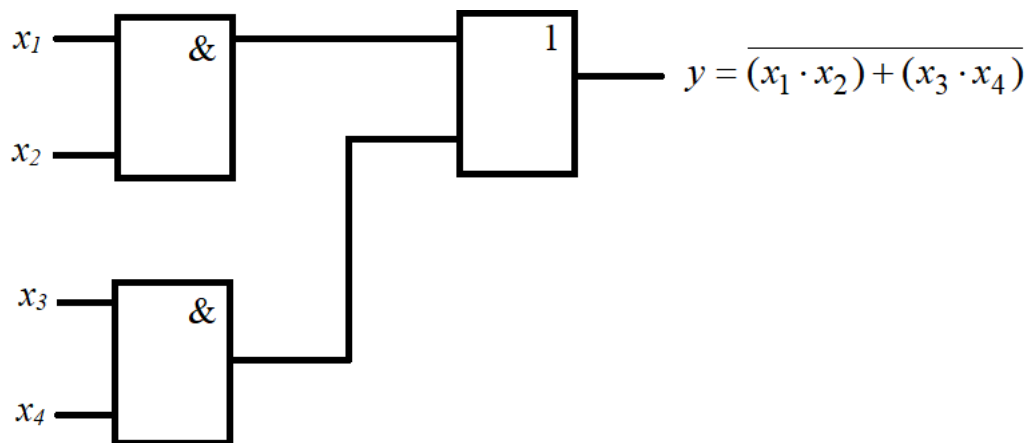


Рис. 10. Структурная схема элемента 2-2И-ИЛИ-НЕ

В двухступенчатых логических элементах выполняются функции «Запрет», «Импликация», «Исключающее ИЛИ».

Рассмотрим принцип действия микросхемы из серии транзисторно-транзисторной логики (ТТЛ), основанной на двухступенчатом логическом элементе 4И-НЕ [6]. Электронная схема четырехэмитерного усилителя, основанного на ЛЭ 4И-НЕ, приведена на рис. 11.

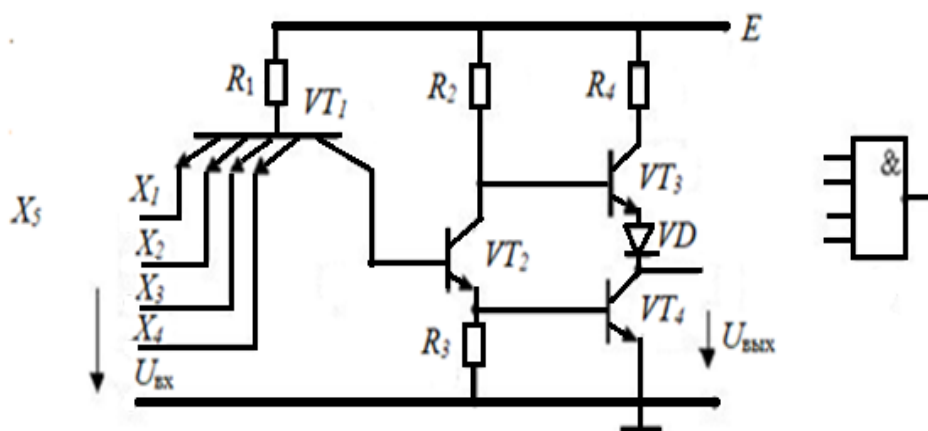


Рис. 11. Электронная схема микросхемы серии ТТЛ, основанной на ЛЭ 4И-НЕ

Электронная схема многокаскадного усилителя постоянного тока состоит из следующих узлов:

- входной усилительный каскад основан на четырехэмиттерном транзисторе VT_1 ;
- промежуточный усилительный каскад – на основе транзистора VT_2 ;
- выходной усилительный каскад – на транзисторах VT_3 и VT_4 .

Одновременная подача информационных сигналов на все входы четырехэмиттерного транзистора VT_1 приводит его в состояние отсечки. Если хотя бы на одном из входов отсутствует сигнал (входной сигнал равен логическому нулю), а на остальные входы поданы сигналы (входной сигнал на остальных трех входах равен логической единице), то четырехэмиттерный транзистор VT_1 переходит в состояние насыщения. Режим насыщения транзистора VT_1 приводит к обнулению напряжения на базе транзистора VT_2 . Это означает, что промежуточный усилительный каскад закрыт. Также закрыт транзистор VT_4 из-за незначительного тока, протекающего через его базу. Закрытый вход промежуточного усилительного каскада позволяет перенаправить ток источника E через резистор R_2 на базу транзистора VT_3 , и он переходит в открытый режим работы. Ток источника E через резистор R_4 , открытый транзистор VT_3 и диод VD_1 попадает на выход, и на общем выходе появляется сигнал с уровнем, равным логической «1» [7].

Таким образом, при появлении на входе четырехэмиттерного транзистора VT_1 хотя бы одного сигнала с уровнем, равным логическому нулю, электронное устройство переводится на уровень с выходным сигналом, соответствующему логической единице. Наличие сигналов на всех четырех входах четырехэмиттерного транзистора VT_1 , соответствующих логической единице, обеспечивает сигнал, равный логическому нулю на выходе электронного устройства [8].

Рассматриваемая электронная схема усилителя реализует логическую функцию **И-НЕ** в зависимости от сигналов, подаваемых на любой из четырех входов многоэмиттерного транзистора.

1.5. Технические характеристики логических элементов

Технические характеристики ЛЭ определяют эффективность их реализации в цифровых устройствах. Наиболее важными техническими характеристиками являются следующие:

- напряжение питания ЛЭ ($U_n, В$);
- максимальное значение напряжения (тока) входного и выходного сигналов ($U^1, В$);
- минимальное значение напряжения (тока) входного и выходного сигналов ($U^0, В$);
- коэффициент объединения по входу ($K_{об}$), определяющий максимальное число входов ЛЭ;
- коэффициент разветвления по выходу ($K_{разв}$), определяющий максимальное число подключаемых к выходу нагрузок;
- статическая характеристика (передаточная характеристика);
- статическая и динамическая помехоустойчивость;
- динамическая характеристика (быстродействие);
- потребляемая мощность ($P, Вт$).

Статическая характеристика (передаточная характеристика) функция $U_{\text{ВЫХ}} = f(U_{\text{ВХ}})$ – это зависимость выходного напряжения от входного напряжения, как показано на рис. 12.

Не менее важными характеристиками ЛЭ являются вольт-амперные характеристики (ВАХ) по входу и выходу. ВАХ ЛЭ по входу – это функция $I_{\text{ВХ}} = f(U_{\text{ВХ}})$ зависимости входного тока от величины входного напряжения (рис. 13).

ВАХ ЛЭ по выходу – это функция $U_{\text{ВЫХ}} = f(I_{\text{ВЫХ}})$, определяющая зависимость выходного напряжения от тока нагрузки для состояний высокого и низкого уровней. Из этой характеристики определяют допустимые значения токов: $+I_{\text{ВЫХ min}}$ – при низком уровне выходного напряжения, $U_{\text{ВЫХ max}}$ и $-I_{\text{ВЫХ max}}$ – при высоком уровне напряжения $U_{\text{ВЫХ min}}$ (рис. 14).

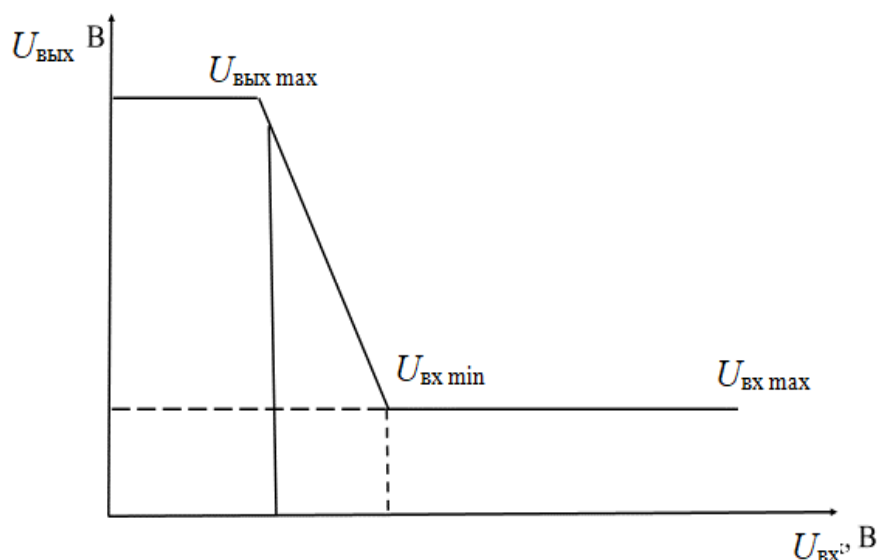


Рис. 12. Передаточная характеристика ЛЭ:

$U_{\text{ВЫХ}}$ – выходное напряжение; $U_{\text{ВЫХ max}}$ – максимальное значение низкого уровня выходного напряжения; $U_{\text{ВХ min}}$ – минимальное значение входного напряжения высокого уровня; $U_{\text{ВХ max}}$ – максимальное значение входного напряжения высокого уровня; $U_{\text{ВХ}}$ – входное напряжение

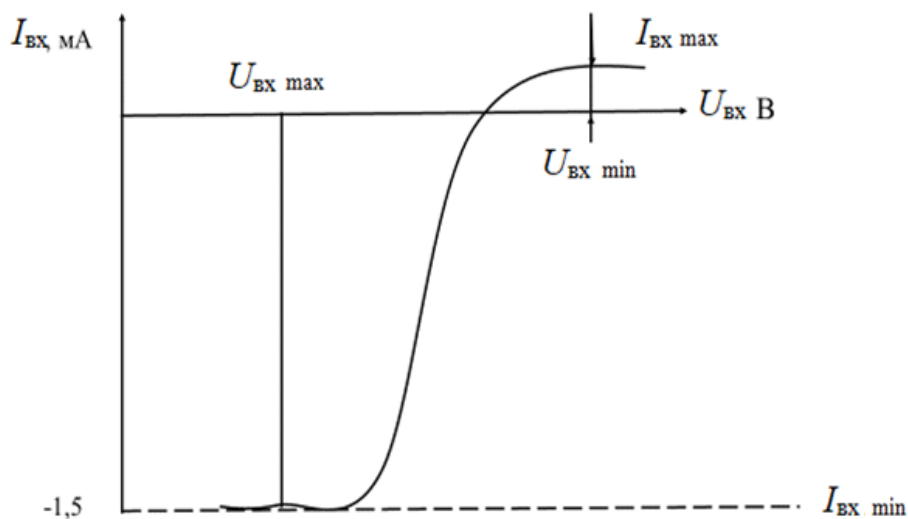


Рис. 13. Входные характеристики ЛЭ:

$I_{\text{ВХ}}$ – входной ток; $U_{\text{ВХ max}}$ – максимальное значение входного напряжения низкого уровня; $I_{\text{ВХ max}}$ – входной ток при высоком уровне напряжения на входе; $U_{\text{ВХ min}}$ – минимальное значение входного напряжения; $U_{\text{вх}}$ – входное напряжение; $I_{\text{ВХ min}}$ – входной ток при низком уровне напряжения на входе

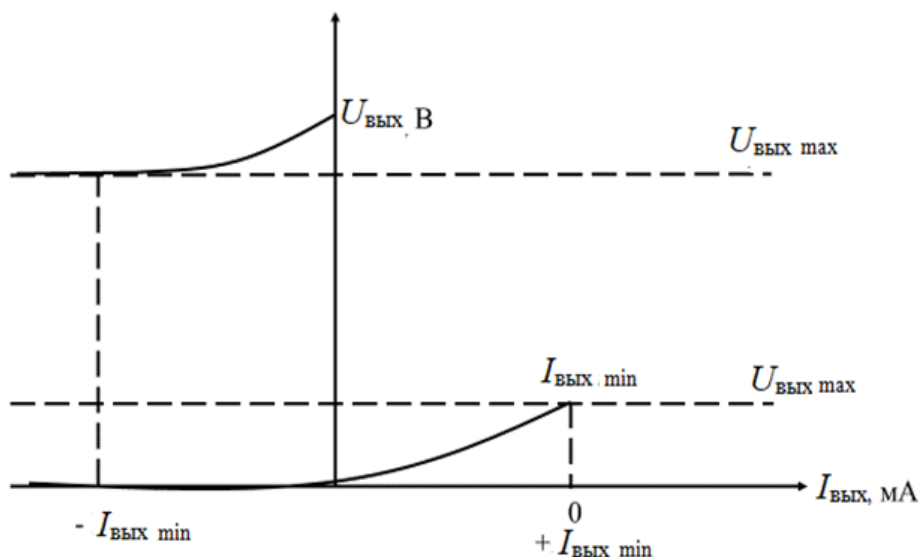


Рис. 14. Выходные характеристики ЛЭ:

$U_{\text{ВЫХ}}$ – выходное напряжение; $U_{\text{ВЫХ min}}$ – минимальное значение высокого уровня выходного напряжения; $I_{\text{ВЫХ max}}$ – выходной ток при высоком уровне напряжения на входе; $I_{\text{ВЫХ min}}$ – выходной ток при низком уровне напряжения на входе; $I_{\text{ВЫХ}}$ – выходной ток; $U_{\text{ВЫХ max}}$ – максимальное значение низкого уровня выходного напряжения

Анализ статических характеристик ЛЭ позволяет определить минимальные и максимальные значения входных и выходных сигналов, а также значения **помехоустойчивости** низкого и высокого уровней сигналов на входе.

Динамическое свойство ЛЭ характеризует его **быстродействие**, т. е. время задержки распространения сигнала при включении (t_{310}) или при выключении (t_{301}) и среднем времени t_{3c} . На рис. 15 приведена временная диаграмма распространения сигналов через ЛЭ.

Временная разность между входным и выходным сигналами при переходе выходного напряжения от уровня логической единицы к уровню логического нуля называется временем задержки сигнала [2]. Среднее время задержки сигналов определяется как интервал времени, равный полусумме времен задержки сигналов при включении и выключении ЛЭ

$$t_{3c} = \frac{t_{301} + t_{310}}{2}. \quad (24)$$

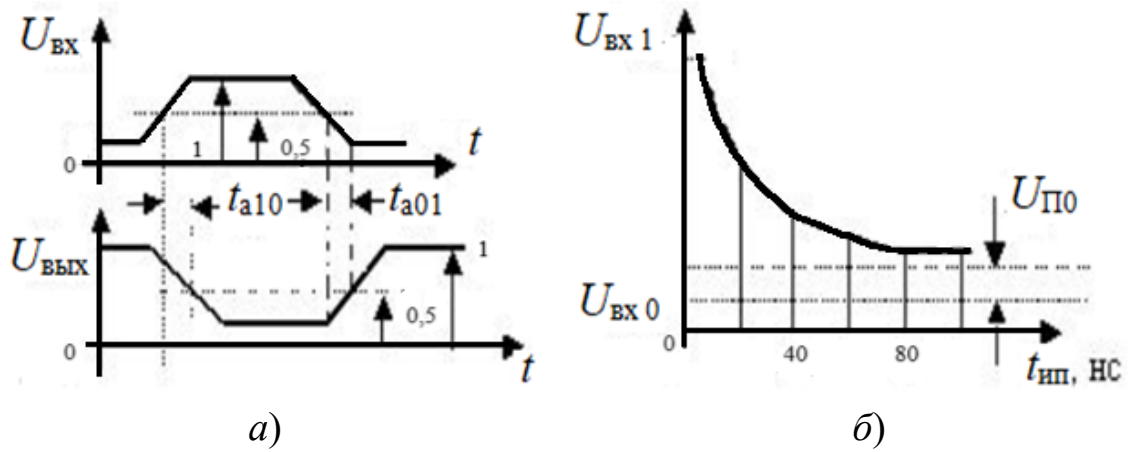


Рис. 15. Динамическая характеристика ЛЭ:

a) временные зависимости входного и выходного сигналов; *б)* характер изменения амплитуды импульсной помехи от длительности импульса

Рассмотрим способы построения временных диаграмм напряжений $y(t)$ работы ЛЭ **И** и **ИЛИ** при разных значениях входных сигналов a и b .

Для построения временной диаграммы работы ЛЭ **2ИЛИ** необходимо воспользоваться формулой (6), и таблицей истинности (табл. 8) ЛЭ **ИЛИ** и рис. 16.

Таблица 8

a	b	y
0	0	0
0	1	1
1	0	1
1	1	1

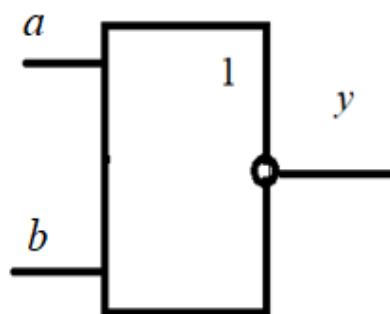


Рис. 16. ЛЭ **2ИЛИ**

Согласно формуле ЛЭ **ИЛИ** $y(t) = a + b$ заполняем таблицу истинности, в которой приведены все возможные сочетания входных сигналов и соответствующие им значения выходного сигнала $y(t)$.

Полученные в соответствии с таблицей истинности временные диаграммы входного и выходного сигналов представлены на рис. 17.

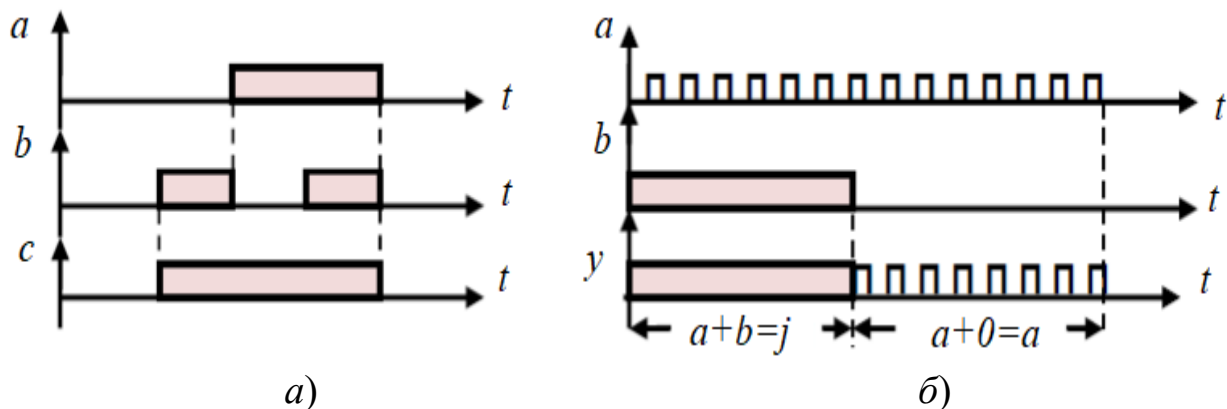


Рис. 17. Временная диаграмма работы логического элемента **ИЛИ**:

а) сигналы a и b на входе логического элемента; б) сигналы со входа a не проходят на выход y , если $b=1$, и проходят на выход y без изменения, если $b=0$. Временная задержка соответствует таблице истинности

Анализ временной диаграммы рис. 17 показывает, что если хотя бы на одном из входов имеется наличие сигнала, равного 1, то сигнал на выходе будет равным 1. Из формулы $y = a + b$ для ЛЭ **ИЛИ** следует, что $a + 0 = a$, $a + 1 = 1$. Поэтому в формуле $y = a + b$ путем простой подстановки значения b получим:

- при $b = 1$ $y = a + b = a + 1 = 1$ y не зависит от a ;
- при $b = 0$ $y = a + b = a + 0 = a$ y зависит от b .

Таким образом, логическая **1** на входе b блокирует прохождение сигналов со входа a на выход y , а логический **0** на входе b пропускает сигналы со входа a на выход y .

Рассмотрим работу двухвходового элемента **И**, для этого воспользуемся формулой (6) и табл. 9 истинности для этого ЛЭ, приведенного на рис. 18.

Для построения временной диаграммы напряжений $y(t)$ работы ЛЭ при разных значениях входных сигналов a и b нужно рассматривать каждую комбинацию входных сигналов в отдельности из таблицы истинности.

a	b	y
0	0	0
0	1	0
1	0	0
1	1	1

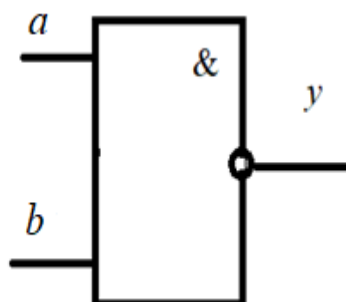
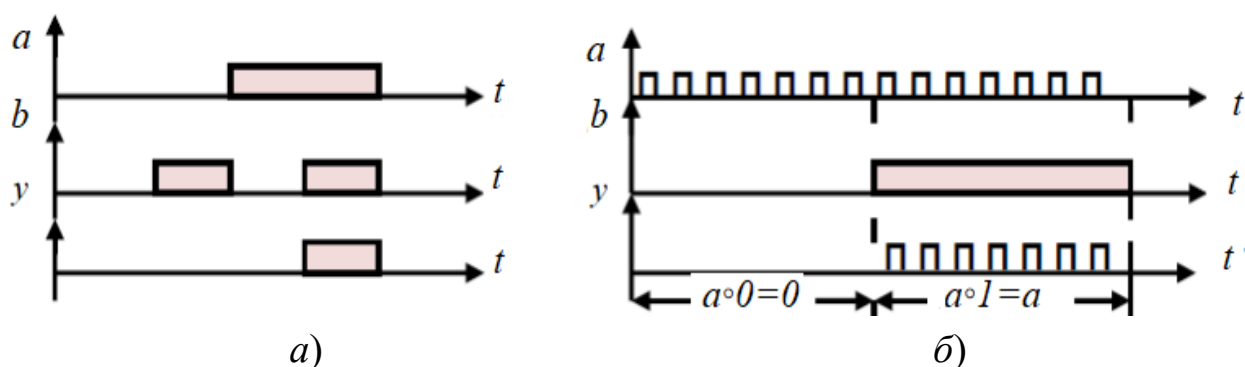


Рис. 18. Логический элемент И

Также нужно учесть правило умножения алгебры логики: любое умножение на **0** дает в результате **0**, а если один из сомножителей равен **1**, то результат равен другому сомножителю. В этом случае построение временной диаграммы для логических элементов, имеющих большое количество входов, не будет представлять сложности. На рис. 19 представлены временные диаграммы работы логического элемента **И**.

Рис.19. Временные диаграммы работы логического элемента **И**:

а) временное расположение входных сигналов, соответствующих таблице истинности; б) сигналы со входа a не проходят на выход y при $b = 0$ и проходят при $b = 1$

Временная диаграмма, представленная на рис. 18, б, показывает, что логический 0 на входе b блокирует прохождение сигналов со входа a на выход y , так как $y = a \cdot 0 = 0$ (умножение на 0 в результате дает 0), а логическая 1 на входе b пропускает сигналы со входа a – на выход, так как $y = a \cdot 1 = a$.

При построении сложных временных диаграмм выделяют условно крупные участки графика одного из напряжений, затем в формулу $y = a \cdot b$ подставляют значения аргументов на выделенных участках и по полученному результату строят график зависимости $y(t)$.

2. ТИПОВЫЕ КОМБИНАЦИОННЫЕ ЦИФРОВЫЕ УСТРОЙСТВА

Основой любых цифровых устройств являются специализированные ЛЭ и типовые функциональные узлы, принципиальное действие которых определяет тип ЦУ – *комбинационные* (однотактные автоматы без запоминания, К-типа) и *последовательностные* (автоматы с памятью, П-типа). Различие между К-типом и П-типом ЦУ носит фундаментальный характер. Значение выходного сигнала ЦУ К-типа определяется только текущим значением сигналов на входах, без запоминания значений предыдущих сигналов; для ЦУ П-типа на значения выходных сигналов влияют значения сигналов как на входах в данный момент времени, так и значения выходных сигналов на предыдущем такте. Это свойство ЦУ П-типа используется для разработки электронных схем с обратной связью, что невозможно осуществить с ЦУ К-типа.

Использование ЛЭ (**И**, **ИЛИ**, **НЕ**, **И-НЕ**, **ИЛИ-НЕ**) в комбинационных электронных схемах позволяет проектировать и разработать ЦУ К-типа различного назначения, а именно: сумматоры, шифраторы, мультиплексоры, дешифраторы, преобразователи кодов, компараторы, схемы свертки, арифметико-логические устройства (АЛУ), блоки ускоренного переноса и матричные умножители.

Проектирование логических ЦУ К-типа выполняется в три этапа: на первом составляется таблица истинности, содержащая всевозможные комбинации входных сигналов и соответствующих им значениям выходных сигналов; на втором этапе определяется СДНФ или ДНФ выходных логических функций с помощью карт минтермов; на третьем этапе реализовывается структурная и далее принципиальная схемы проектируемого ЦУ с учетом выбранной элементной базы.

2.1. Шифраторы и дешифраторы

Запись цифровой информации в виде простейших кодов выполняют преобразователи кодов, которые используются для перевода информации из одного кода в другой.

Функциональный узел ЦУ, преобразующий входной сигнал в n -разрядный двоичный код, называется *шифратором*.

Таблица истинности простого шифратора, преобразующего десятичные цифры ($n = 0 \dots 9$) в нормальный двоичный код (НДК) в виде четырехэлементных символов a_0, a_1, a_2 и a_3 , представлена в табл. 10.

Таблица 10

Число	Код			
	a_3	a_2	a_1	a_0
x_0	0	0	0	0
x_1	0	0	0	1
x_2	0	0	1	0
x_3	0	0	1	1
x_4	0	1	0	0
x_5	0	1	0	1
x_6	0	1	1	0
x_7	0	1	1	1
x_8	1	0	0	0
x_9	1	0	0	1

Согласно таблице истинности функции, a_0, a_1, a_2 и a_3 можно представить в аналитической форме:

$$\begin{aligned}
 a_0 &= x_1 + x_3 + x_5 + x_7 + x_9; \\
 a_1 &= x_2 + x_3 + x_6 + x_7; \\
 a_2 &= x_4 + x_5 + x_6 + x_7; \\
 a_3 &= x_8 + x_9.
 \end{aligned}
 \tag{25}$$

Из выражения (25) следует, что данное электронное устройство выполняет логическую операцию **ИЛИ**, не минимизированная структура которого содержит четыре дизъюнктора, каждый из которых имеет разное число входов (рис. 20).

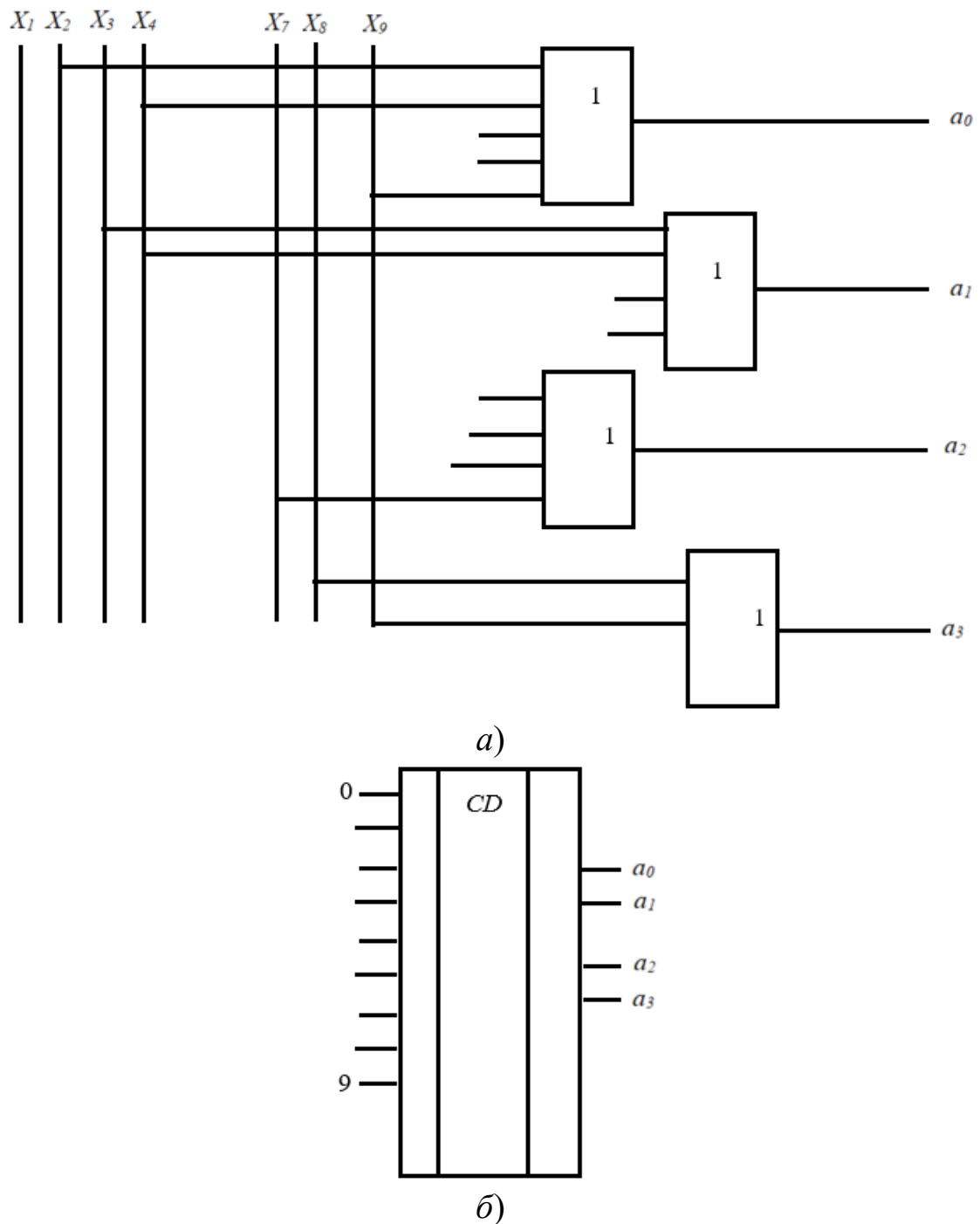
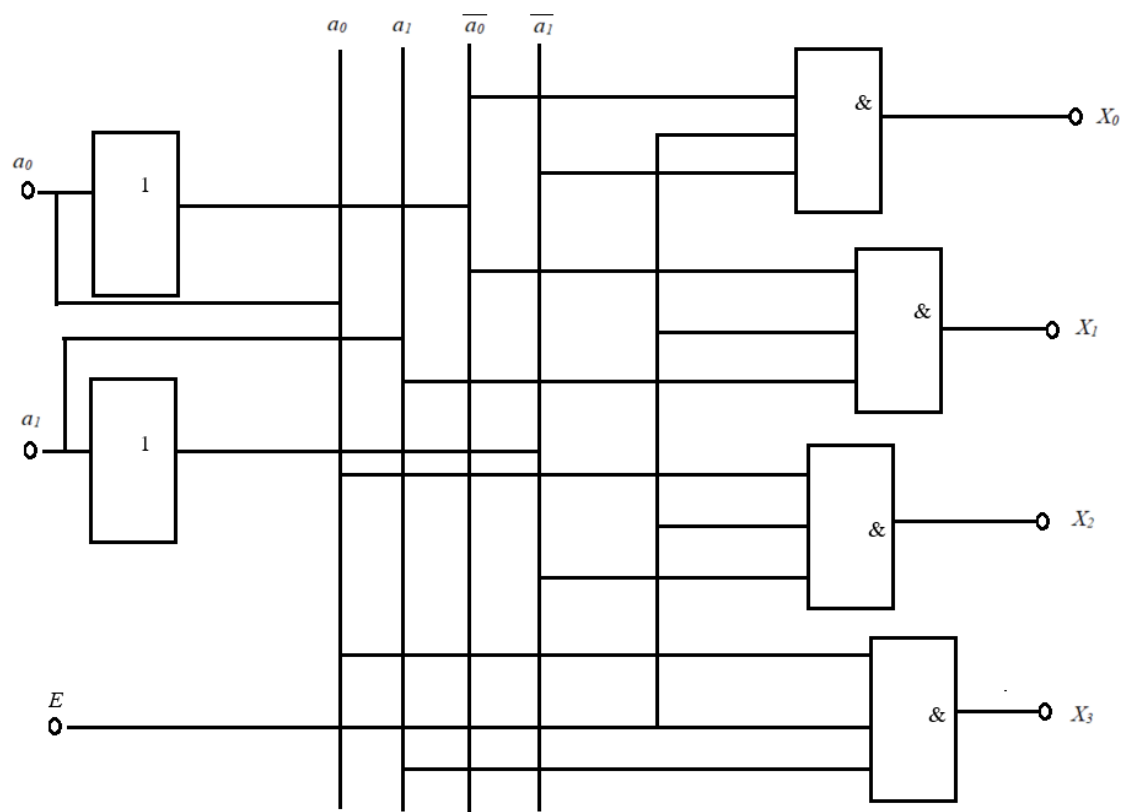


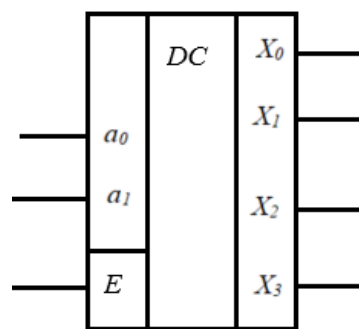
Рис.20. Шифратор:

а) функциональная схема; б) графическое обозначение шифратора

Функциональный узел, выполняющий преобразование n -разрядного двоичного кода в комбинацию выходных сигналов (команд), называется дешифратором (ДШ). Таблица истинности простейшего дешифратора, имеющего два входа и четыре выхода (ДШ 2–4), представлена в табл. 6. Двух-



а)



б)

Рис. 21. ДШ 2-4:

а) функциональная схема; б) графическое обозначение

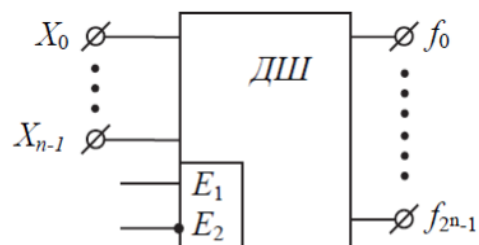


Рис. 22. Структурная схема ДШ с n входами и 2^n выходами:
 $X_0 \dots X_{n-1}$ – входные сигналы; $f_0 \dots f_{2^n-1}$ – выходные сигналы; E_1 и E_2 – дополнительные входы для разрешения работы ДШ

2.2. Мультиплексоры и демультиплексоры

Электронное устройство, позволяющее передавать управляемую коммутацию входных логических сигналов на одну из выходных линий ЦУ, называется *мультиплексором* (Multiplexer, MUX).

Принцип действия простейшего одноразрядного MUX описывается мультиплексорной формулой

$$Y = x_0 a_{n-1} \dots a_1 a_0 + x_1 a_{n-1} a_1 a_0 + \dots + x_{2^n - 1} a_{n-1} \dots a_1 a_0. \quad (28)$$

Если MUX имеет n входных разрядов, то осуществляется 2^n коммутаций входных линий на одну выходную и составляется система из n линейных уравнений.

Для разработки функциональной схемы четырехразрядного мультиплексора, осуществляющего коммутацию четырех входных линий x_0, x_1, x_2, x_3 на выходную линию Y , составим таблицу истинности (табл. 12) согласно характеристическому уравнению данного MUX (29)

$$Y = \bar{a}_0 \bar{a}_1 x_0 + \bar{a}_0 a_1 x_1 + a_0 \bar{a}_1 x_2. \quad (29)$$

Таблица 12

a_0	a_1	Y
0	0	x_0
0	1	x_1
1	0	x_2
1	1	x_3

Функциональная схема MUX (рис. 23), разработанного на основе таблицы истинности (см. табл. 7) и уравнения (29), содержит два инвертора, четыре конъюнктора и один четырехходовый дизъюнктор.

Одной из замечательных возможностей применения MUX является построение на их основе универсальных логических модулей, реализующих любую логическую функцию данного числа аргументов. Для этого достаточно изменить назначение его входов: на адресные входы подавать аргументы функций, а на информационные – сигналы настройки.

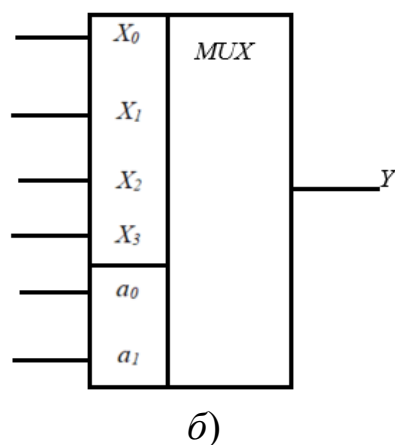
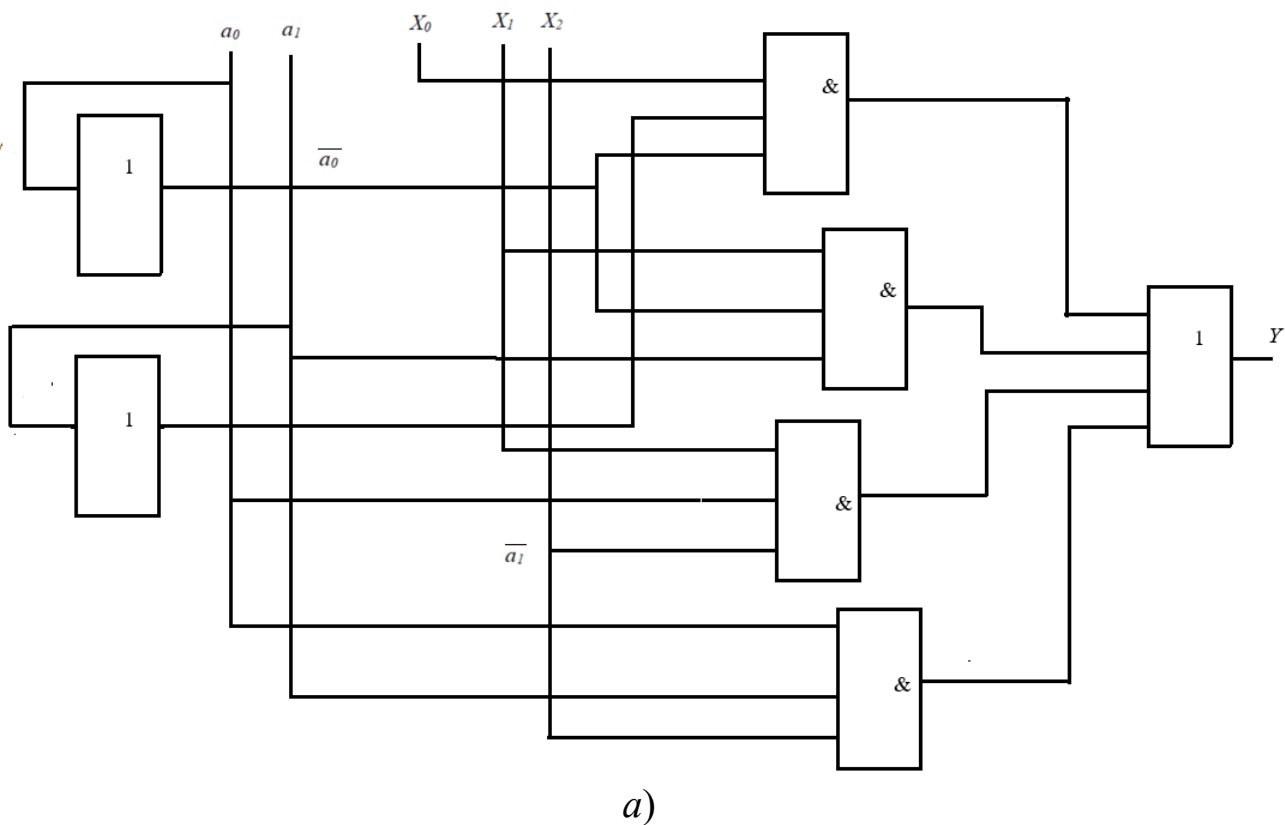


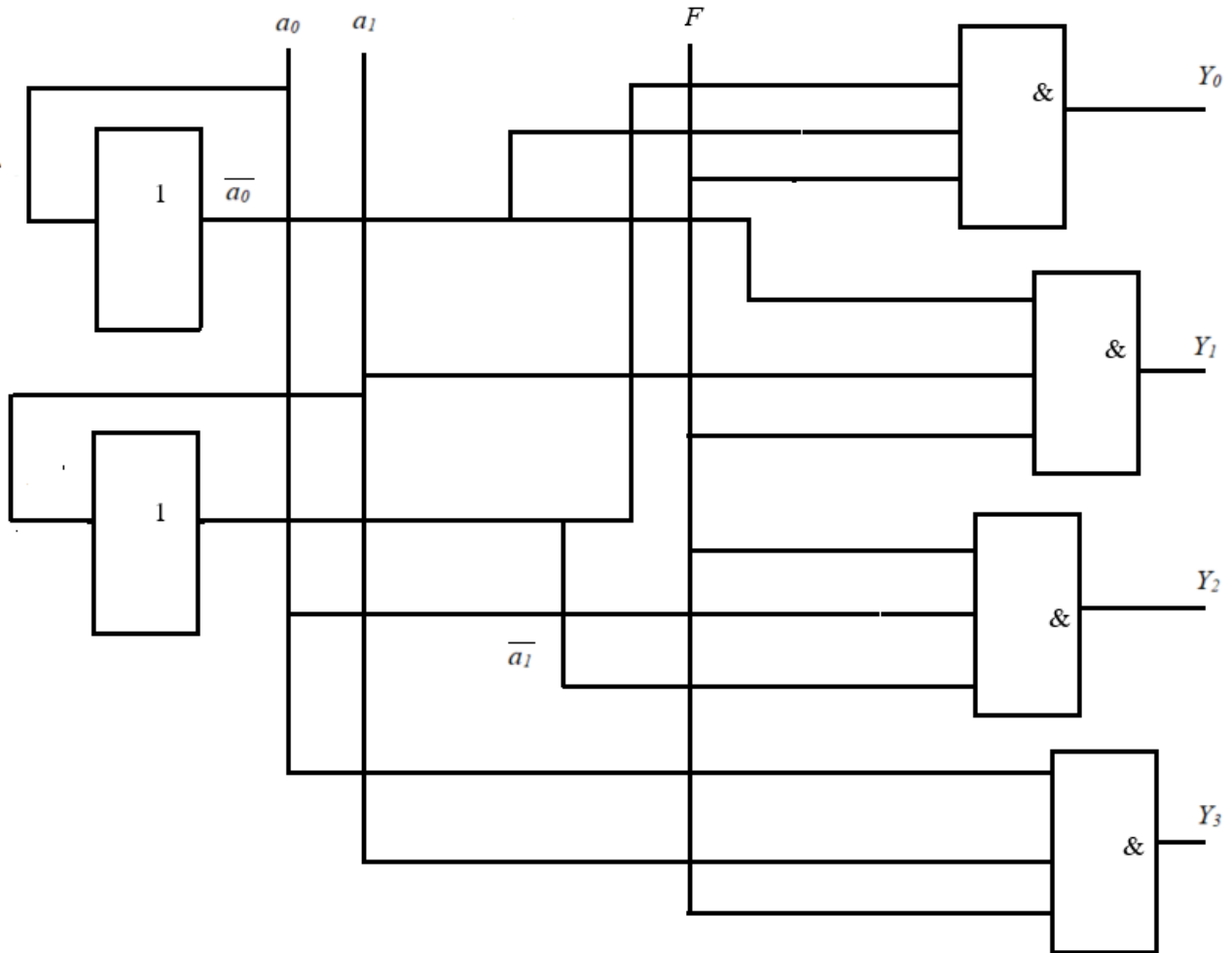
Рис. 23. MUX 4-1:

а) функциональная схема; б) графическое обозначение

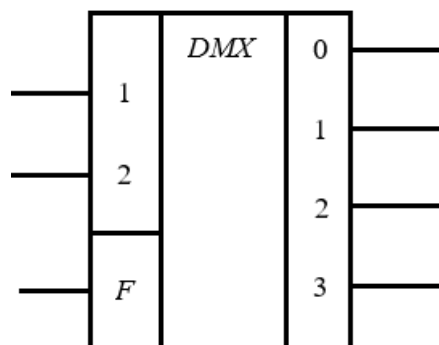
Демультимплексор. Функциональный узел ЦУ, передающий данные из одного входного канала в один из каналов – приемников в соответствии с сигналами управления, называется демультимплексором (DMX). По сути, это действие, обратное операции мультиплексора. Функциональная схема (рис. 24) простейшего DMX 1-4, составлена на основе характеристического уравнения (28), согласно которому адресный код символами a_k передает

информацию в выходные линии Y_i в соответствии с управляющим сигналом на входе F :

$$Y_0 = \bar{a}_0 \bar{a}_1 F; \quad Y_1 = \bar{a}_0 a_1 F; \quad Y_2 = a_0 \bar{a}_1 F; \quad Y_3 = a_0 a_1 F. \quad (30)$$



а)



б)

Рис. 24. DMX 1-4:

а) функциональная схема; б) графическое обозначение

Из функциональной схемы (см. рис. 24) видно, что DMX 1-4 содержит два инвертора и четыре трехвходовых конъюнктора.

Построение многоразрядных DMX составляется из нескольких DMX меньшей разрядности (демультиплексное дерево).

2.3. Сумматоры

Функциональный узел ЦУ, служащий для выполнения операции логического сложения, называется **сумматором (SM)**. По способу выполнения операции арифметического сложения чисел сумматоры делятся на следующие типы:

- 1) одноразрядный полусумматор;
- 2) одноразрядный сумматор;
- 3) параллельный сумматор с последовательным переносом;
- 4) параллельный сумматор с параллельным переносом.

Основной функцией простейшего одноразрядного сумматора является выполнение операции арифметического сложения одноразрядных двоичных чисел a_i , b_i и переноса бита из младшего разряда c_i в старший разряд c_{i+1} . После переноса бита на выходах одноразрядного сумматора образуется сумма S_i . Рассмотрим выполнение логической функции электронного устройства с двумя входами и двумя выходами, таблица истинности, которого приведена в табл. 13.

Таблица 13

a_i	b_i	c_i	S_i	c_{i+1}	a_0	b_0	S_0	c_0
0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	1	1	0
0	1	0	1	0	1	0	1	0
0	1	1	0	1	1	1	0	1
1	0	0	1	0	—	—	—	—
1	0	1	0	1	—	—	—	—
1	1	0	0	1	—	—	—	—
1	1	1	1	1	—	—	—	—

На основе этой таблицы истинности можно составить характеристические уравнения для одноразрядного полного сумматора и полусумматора:

$$\begin{aligned}
S_i &= \bar{a}_i b_i c_i + a_i \bar{b}_i c_i + a_i b_i \bar{c}_i + a_i b_i c_i; \\
S_0 &= a_0 b_0 + a_0 \bar{b}_0; \\
c_{i+1} &= \bar{a}_i b_i + \bar{a}_i c_i + b_i \bar{c}_i; \\
c_0 &= a_0 \bar{b}_0.
\end{aligned}
\tag{31}$$

Функциональная схема **SM** разрабатывается на основе минимизированного характеристического уравнения (31) с использованием соответствующих логических элементов. Построение электронной схемы на основе многоразрядного сумматора с n входов и m выходов выполняется способами параллельного соединения одноразрядного сумматора с последовательным или параллельным переносом сигнала от младшего разряда к старшему. На рис. 25 представлена функциональная схема многоразрядного сумматора с последовательным переносом бита с выхода i -разряда на вход $(i + 1)$ разряд.

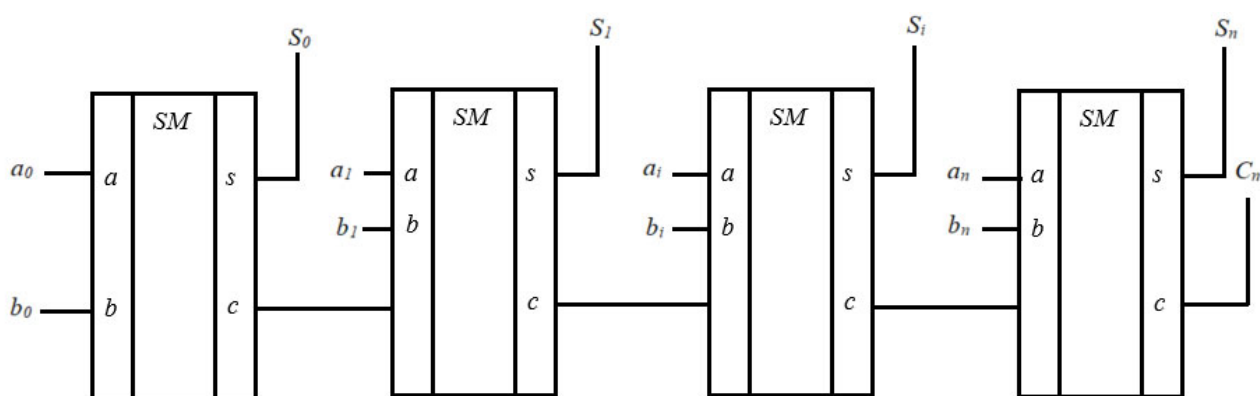


Рис. 25. Функциональная схема многоразрядного **SM** с последовательным переносом

Последовательный и параллельный переносы битов считаются основными способами разработки специализированных сумматоров, таких как: электронное устройство для сложения параллельных и последовательных операндов, сумматоры групповой структуры, накапливающие сумматоры и др. Каждое из перечисленных электронных устройств имеет строго определенные амплитудно-временные характеристики, необходимые для выполнения конкретных задач [9].

3. ТИПОВЫЕ ПОСЛЕДОВАТЕЛЬНЫЕ ЦИФРОВЫЕ УСТРОЙСТВА

3.1. Цифровой компаратор

Функциональный узел ЦУ компаратор (Comparator) предназначен для сравнения двух входных двоичных сигналов по величине в виде «меньше», «равно», «больше». При этом полученные выходные сигналы принимают единичные значения, если входные сигналы равны друг другу $F_{A=B} = 1$, и равны нулю, если входные сигналы не равны друг другу $F_{A \neq B} = 0$. Здесь F – выходная функция, A и B – входные сигналы (коды). Остальные значения выходных функций можно получить из выражения

$$\begin{aligned} F_{A \neq B} &= \overline{F_{A=B}}; \\ F_{A < B} &= F_{B > A}; \\ F_{A \geq B} &= F_{B \leq A}; \\ F_{A \leq B} &= F_{A > B}. \end{aligned} \tag{32}$$

Согласно выражению (30), можно построить таблицу истинности и функциональную схему компаратора с двумя входными одноразрядными операндами. Табл. 14 истинности компаратора двух одноразрядных сигналов представлена ниже.

Таблица 14

A	B	$F_{A < B}$	$F_{A=B}$	$F_{A > B}$
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

Функциональная схема и условное обозначение двухразрядного компаратора приведены на рис. 26.

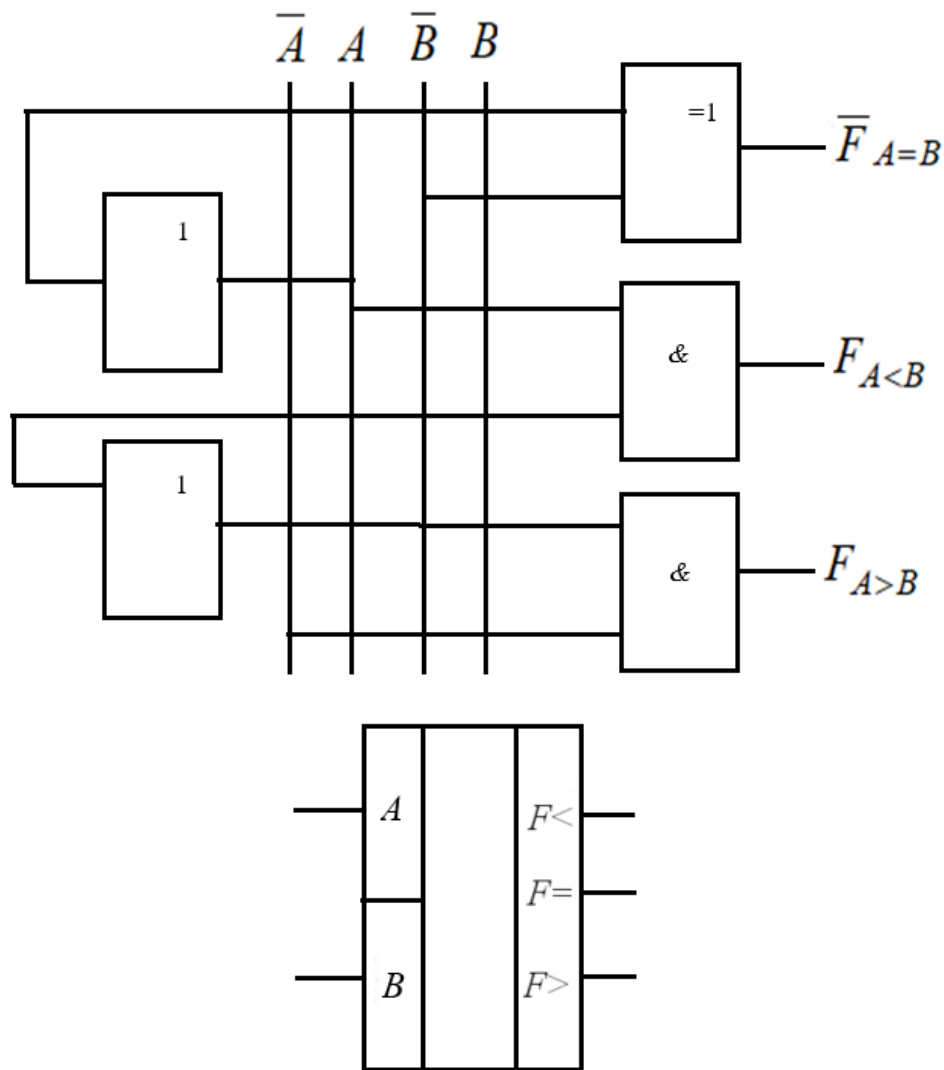


Рис. 26. Функциональная схема и графическое обозначение компаратора двух одноразрядных операндов

Компараторы для кодов большей разрядности получают путем наращивания схем нескольких одноразрядных компараторов.

3.2. Арифметико-логическое устройство

Функциональный узел ЦУ, предназначенный для выполнения арифметического и логического действия над ЛЭ, называется арифметико-логическим устройством (АЛУ).

Принцип действия АЛУ, условное обозначение которого приведено на рис. 27, заключается в следующем: над входными операндами A и B выпол-

няются различные логические и логико-арифметические операции (табл. 15), для чего на вход АЛУ подается сигнал M (Mode), который задает тип выполняемой операции. При единичном входном сигнале ($M = 1$) АЛУ выполняет логическую операцию, при нулевом входном сигнале ($M = 0$) АЛУ сначала выполняет логическую операцию, а затем полученные числа складывает арифметически. На входы S подаются двоичные сигналы (коды), которые определяют выполняемую операцию, вход P_i служит для входного переноса. Результат выполненной операции выводится на выходы F . Выходы G и H выполняют функции генерации и прозрачности, используемые для параллельных переносов при наращивании размерности АЛУ, выходной сигнал P_0 определяет выходной перенос.

Перечень операций, выполняемых АЛУ [5].

Таблица 15

№	S	Логические функции ($M = 1$)	Арифметико-логические функции ($M = 0$)
0	0000	\overline{A}	$A + C_i$
1	0001	$\overline{A \vee B}$	$A \vee B + C_i$
2	0010	\overline{AB}	$A \vee \overline{B} + C_i$
3	0011	0000	$1111 + C_i$
4	0100	$\overline{A\overline{B}}$	$A + \overline{A\overline{B}} + C_i$
5	0101	\overline{B}	$A \vee B + \overline{A\overline{B}} + C_i$
6	0110	$A \oplus B$	$A + \overline{B} + C_i$
7	0111	\overline{AB}	$\overline{AB} + 1111 + C_i$
8	1000	$\overline{A \vee B}$	$A + AB + C_i$
9	1001	$\overline{A \oplus B}$	$A + B + C_i$
10	1010	B	$A \vee \overline{B} + AB + C_i$
11	1011	AB	$AB + 1111 + C_i$
12	1100	1111	$A + A + C_i$
13	1101	$A \vee \overline{B}$	$A \vee B + A + C_i$
14	1110	$A \vee B$	$A \vee \overline{B} + A + C_i$
15	1111	A	$AB + 1111 + C_i$

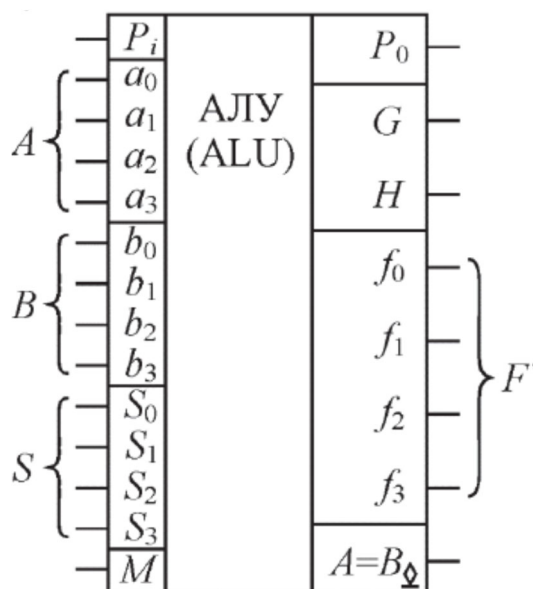


Рис. 27. Графическое обозначение АЛУ

Пример. Арифметическая и логическая операции выражения $A \vee B + \overline{AB}$ в АЛУ выполняются в такой последовательности: сначала поразрядно выполняется операция инвертирования \overline{B} , затем логическое сложение $A \vee \overline{B}$, далее умножение (AB) и последующее арифметическое сложение.

Для выполнения операций над сигналами большой размерности АЛУ соединяются друг с другом путем последовательных или параллельных переносов.

3.3. Общее представление о триггерах

Электронное устройство, способное хранить двоичную информацию в одном из двух устойчивых состояний и переводить ее в другое устойчивое состояние после поступления управляющего сигнала, называется *триггером*.

Возможность триггера хранить двоичную информацию в одном устойчивом состоянии бесконечно долгое время, пока на него не действуют внешние сигналы, означает, что он обладает памятью. Наличие у триггера двух устойчивых состояний с различной информацией (единичной и нулевой) означает, что триггер может хранить один разряд числа, записанного

в двоичном коде (1 бит). Таким образом, основная функция триггера как электронного устройства является хранение двоичного кода в одном устойчивом состоянии и переключение устройства из одного устойчивого состояния в другое.

3.4. Триггер на двух транзисторных усилителях

Для наглядного понимания принципа действия триггера необходимо проанализировать триггерную схему, использованную в двух простейших транзисторных усилителях с положительной обратной связью (ПОС). Триггерная схема двух транзисторных усилителей приведена на рис. 28.

Такая электрическая схема обеспечивает устойчивый режим работы усилителей на транзисторах. Действительно, если на выходе первого усилительного каскада появляется логический «0», то он обеспечивает на выходе второго каскада логическую единицу.

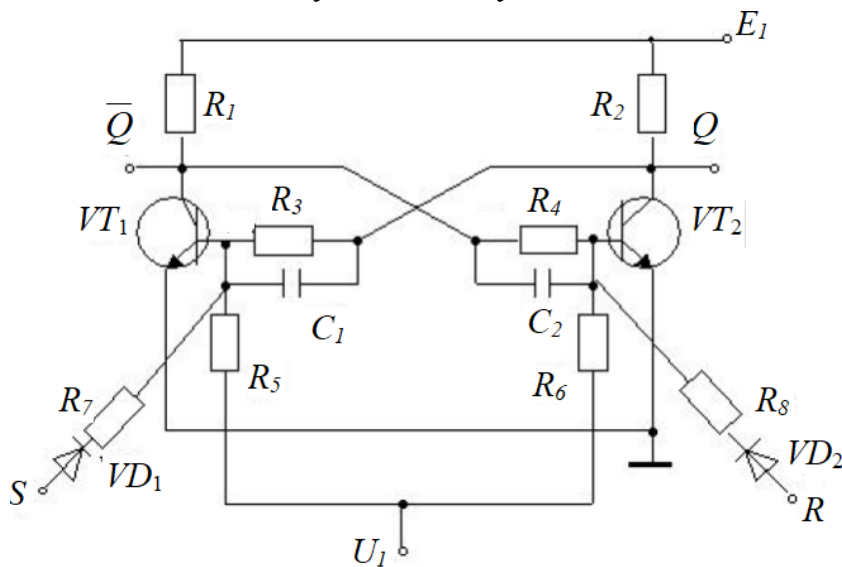


Рис. 28. Триггерная схема двух транзисторных усилителей

Такое же согласование сигналов будет и для второго состояния: когда на выходе первого усилителя имеется логическая «1», на выходе второго усилителя появляется «0». Усилитель в таком режиме может работать неограниченно долго при условии наличия напряжения питания и отсутствия внешних управляющих сигналов [10]. Устойчивый режим работы усили-

теля обеспечивают два информационных входных сигнала и соответствующие сигналы на выходах. Прямой вход обозначен буквой Q (quit – «оставлять»), инверсный вход – \bar{Q} . Выход, соответствующий единичному состоянию, обозначен S (set – «установка»), выход с нулевым состоянием – R (reset – «возврат»).

Аналогичную схему триггера, позволяющую высокое быстродействие и более эффективную работу электронного устройства, можно реализовать на ЛЭ. Разработку триггерной схемы на ЛЭ начинают с построения таблицы истинности и записи соответствующих характеристических уравнений.

Таблицы истинности триггера на ЛЭ **ИЛИ-НЕ** (табл. 16) и **И-НЕ** (табл. 17) представлены ниже.

Характеристические уравнения триггеров на ЛЭ в соответствии с таблицей истинности (см. табл. 11) представляются в виде:

- триггер на элементах **ИЛИ-НЕ**: $Q(t + 1) = S(t) + Q(t) \bar{R}(t); RS = 0;$
- триггер на элементах **И-НЕ**: $Q(t + 1) = \bar{S}(t) + Q(t) R(t); R + S = 1.$

Таблица 16

t		$t + 1$
R	S	Q^{n+1}
0	0	Q^n
0	0	1
1	1	0
1	1	X

Таблица 17

t		$t + 1$
R	S	Q^{n+1}
1	1	Q^n
1	0	1
0	1	0
0	0	X

Исходя из таблицы истинности и характеристических уравнений можно построить триггерные схемы на ЛЭ **ИЛИ-НЕ** и **И-НЕ**, представленные на рис. 29.

На рис. 30 представлена временная диаграмма сигналов на выходе триггера, после подачи управляющего сигнала на его вход.

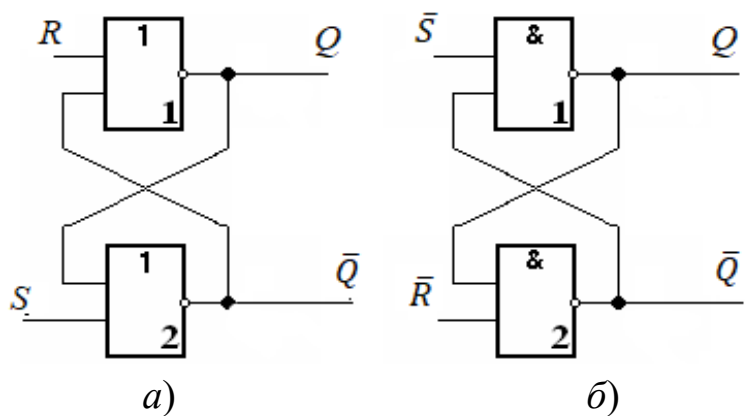


Рис. 29. Триггерная схема на ЛЭ:

а) **ИЛИ-НЕ**; б) **И-НЕ**

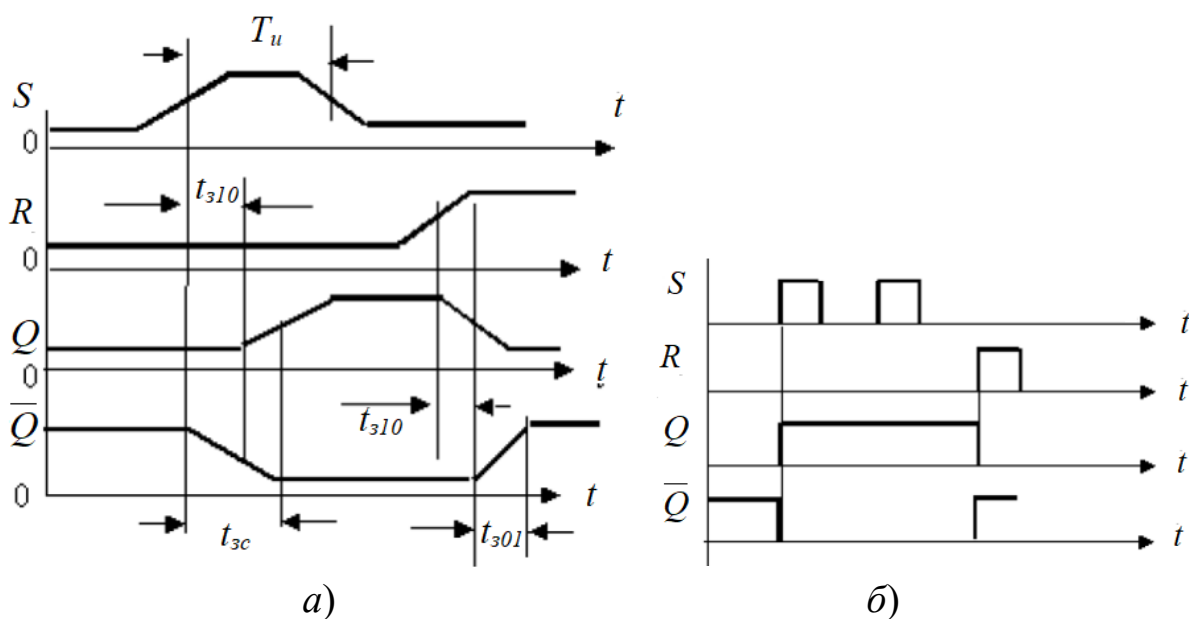


Рис. 30. Диаграммы сигналов RS-триггера:

а) реальные; б) упрощенные; t_{310} – время задержки переключения ЛЭ из состояния «1» в состояние «0» под действием сигнала S ; t_{301} – время задержки переключения ЛЭ из состояния «0» в состояние «1» под действием сигнала R ; t_{3c} – среднее время перехода сигнала на выходе триггера

Из временных диаграмм можно определить:

– минимальную длительность импульса, необходимую для переключения триггера

$$T_{и} = 2t_{зс}; \quad (33)$$

– минимальный период между последующими входными сигналами

$$T_{р} = 3t_{зс}; \quad (34)$$

– максимальная частота переключения

$$F_{\max} = \frac{1}{T_{р}} = \frac{1}{3t_{зс}}. \quad (35)$$

3.5. Классификация триггеров

Особенность управляющего ЛЭ, включенного на вход триггера, обеспечивает его использование в различных схемах цифровой схемотехники. По способу включения ЛЭ на вход триггеров последние классифицируются по следующим признакам:

- по логике работы;
- способу записи информации;
- типу логического элемента [10].

На рис. 31 приведена блок-схема классификации триггеров.

Особенность триггеров по логике работы (RS-, D-, T-, JK-триггеры и их всевозможные сочетания) заключается в том, что управляющий сигнал, подаваемый на вход ЛЭ, обеспечивает заведомо известное значение сигнала на выходе электронного устройства.

По способу приема информации триггеры делятся на синхронные и асинхронные. В синхронных триггерах наряду с информационным входом имеются входы синхронизации. Изменение состояния синхронных триггеров происходит только при наличии постоянного или импульсного сигнала на входы синхронизации. Изменение состояния асинхронного триггера происходит после подачи управляющего сигнала на вход триггера.

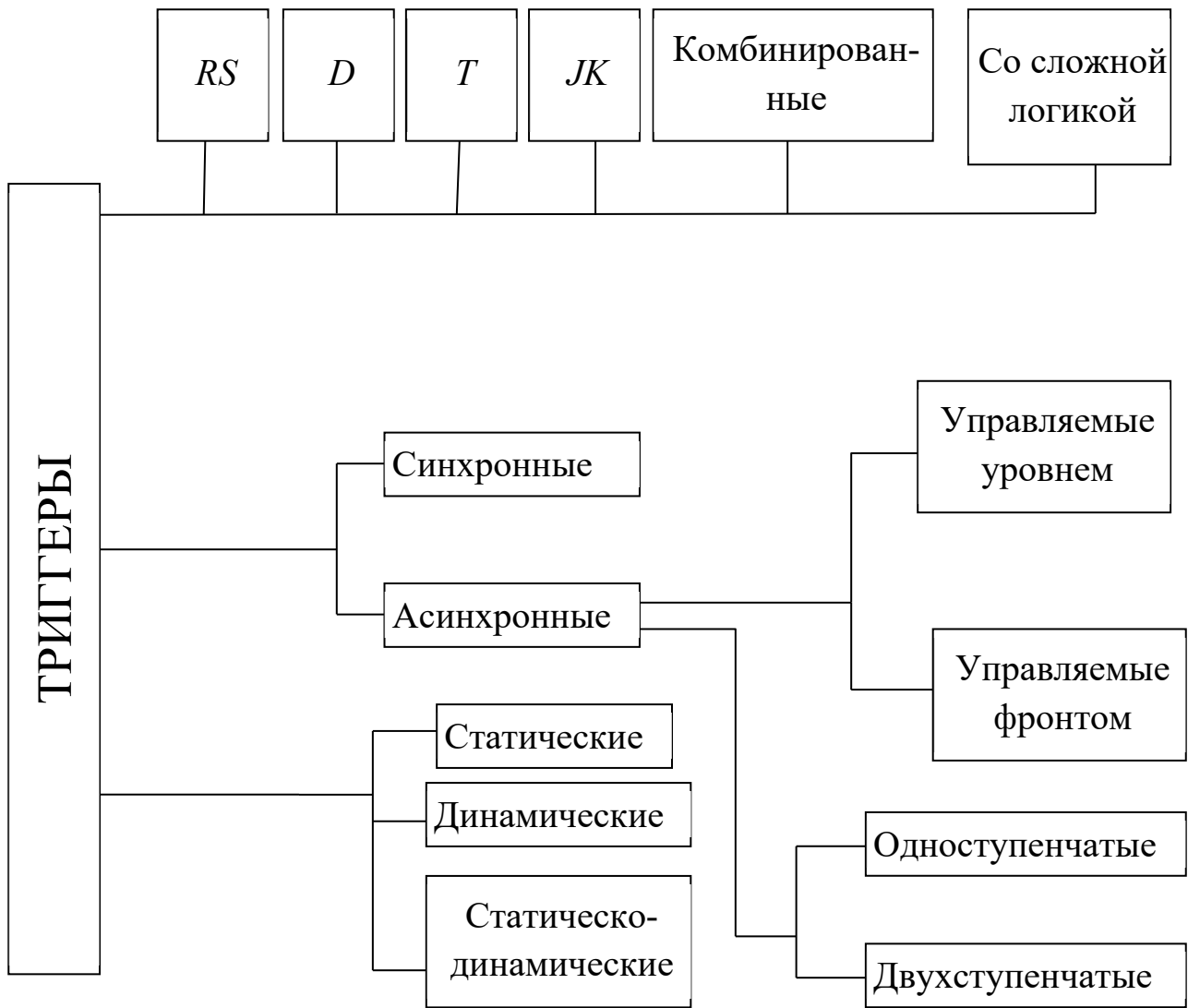


Рис. 31. Классификация триггеров

ЗАКЛЮЧЕНИЕ

В связи повышением цифровизации, а также активным внедрением электронных устройств в конструкцию боеприпасов, дискретные электронные устройства становятся все более важной частью современных взрывателей. Поэтому эффективность освоения данной дисциплины является важным навыком инженера в области вооружения и военной техники. В данном издании описан принцип действия основных элементов цифровой техники, а также аналоговых и цифровых электронных устройств, используемых в конструкции взрывателей. Представлены технические характеристики логических элементов, даны рекомендации и практические примеры проектирования узлов взрывателей, основанных на элементах аналоговой и цифровой электроники. Также обучающийся может познакомиться с элементами теории логических функций и алгебры логики. Наличие большого количества иллюстрированного материала позволяет облегчить изучение различных вариантов конструкции и схемотехники электронных узлов взрывателей, также в графической форме представлены специальные характеристики, такие как форма сигналов цифровых устройств.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Титце У., Шенк К. Полупроводниковая схемотехника. Т. 2. – М. : ДМК Пресс, 2007. – 942 с.
2. Чижма С. Н. Основы схемотехники : учеб. пособие. – Омск : Апельсин, 2008. – 424 с.
3. Жеребцов И. П. Основы электроники. – Л. : Энергоатомиздат, 1989. – 352 с.
4. Угрюмов Е. П. Цифровая схемотехника. – СПб. : БХВ – Санкт-Петербург, 2000. – 528 с.
5. Основы электроники, радиотехники и связи : учеб. пособие для вузов / А. Д. Гуменюк, В. И. Журавлев, Ю. Ю. Мартюшев и др. ; под ред. Г. Д. Петрухина. – М. : Горячая линия – Телеком, 2008. – 480 с.
6. Потёмкин И. С. Функциональные узлы цифровой автоматики. – М. : Энергоатомиздат, 1988. – 320 с.
7. Айфичер Э., Джервис Б. Цифровая обработка сигналов: практический подход. – 2-е изд. – М. : Вильямс, 2004. – 992 с.
8. Баскаков С. И. Радиотехнические цепи и сигналы : учеб. для вузов. – М. : Высшая школа, 2000. – 462 с.
9. Щука А. А. Нанoeлектроника. – М. : Физматкнига, 2007. – 464 с.
10. Гадзиковский В. И. Теоретические основы цифровой обработки сигналов. – М. : Радио и связь, 2004. – 343 с.

Учебное издание

Айрапетян Валерик Сергеевич

Макеев Александр Викторович

ДИСКРЕТНЫЕ ЭЛЕКТРОННЫЕ УСТРОЙСТВА ВЗРЫВАТЕЛЕЙ

Редактор *О. В. Георгиевская*

Компьютерная верстка *О. И. Голиков*

Изд. лиц. ЛР № 020461 от 04.03.1997.

Подписано в печать 13.12.2023. Формат 60 × 84 1/16.

Усл. печ. л. 2,96. Тираж 130 экз. Заказ 186.

Гигиеническое заключение

№ 54.НК.05.953.П.000147.12.02. от 10.12.2002.

Редакционно-издательский отдел СГУГиТ
630108, Новосибирск, ул. Плахотного, 10.

Отпечатано в картопечатной лаборатории СГУГиТ
630108, Новосибирск, ул. Плахотного, 8.